

11/23

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : Kazuo NAGATANI, et al.

Filed : Concurrently herewith

For : DISTORTION COMPENSATING APPARATUS

Serial No. : Concurrently herewith

December 22, 2000

Assistant Commissioner of Patents
Washington, D.C. 20231

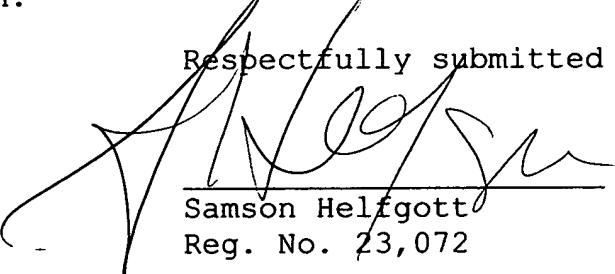
564 U.S. PRO
09/745948
12/22/00

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith are Japanese patent application No. 11-372884 of December 28, 1999 whose priority has been claimed in the present application.

Respectfully submitted


Samson Helfgott
Reg. No. 23,072

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUSA18.164
LHH:priority

Filed Via Express Mail
Rec. No.: EL522397843US
On: December 22, 2000
By: Brendy Lynn Belony
Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1999年12月28日

出願番号
Application Number:

平成11年特許願第372884号

出願人
Applicant(s):

富士通株式会社

JC564 U.S. PTO
109/745948
12/22/00

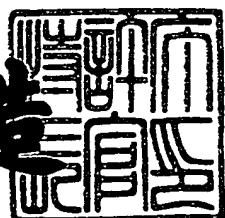


CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年10月20日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3085509

【書類名】 特許願
【整理番号】 9951407
【提出日】 平成11年12月28日
【あて先】 特許庁長官殿
【国際特許分類】 H03F 1/32
【発明の名称】 歪補償装置
【請求項の数】 22
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 長谷 和男
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 久保 徳郎
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 大出 高義
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 大石 泰之
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100084711
【弁理士】

【氏名又は名称】 齋藤 千幹

【電話番号】 043-271-8176

【手数料の表示】

【予納台帳番号】 015222

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704946

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 歪補償装置

【特許請求の範囲】

【請求項1】 歪補償係数を用いて入力信号に歪補償処理を施すプリディストーション部、歪補償前の入力信号と歪デバイスの出力側からフィードバックされるフィードバック信号とに基づいて歪補償係数を演算する歪補償係数演算部、演算された歪補償係数を入力信号に対応させて記憶する歪補償係数記憶部を備えた歪補償装置において、

歪デバイスとフィードバックループで生じる遅延時間を、前記入力信号とフィードバック信号との最大相関に基づいて決定する遅延時間決定部、
を備えたことを特徴とする歪補償装置。

【請求項2】 歪補償係数を用いて送信信号に歪補償処理を施すプリディストーション部、歪補償前の送信信号と送信電力増幅器の出力側からフィードバックされるフィードバック信号とに基づいて歪補償係数を演算する歪補償係数演算部、演算された歪補償係数を送信信号に対応させて記憶する歪補償係数記憶部を備えた歪補償装置において、

送信電力増幅器とフィードバックループで生じる遅延時間を、前記送信信号とフィードバック信号との最大相関に基づいて決定する遅延時間決定部、
を備えたことを特徴とする歪補償装置。

【請求項3】 遅延時間を設定されて歪補償装置各部のタイミング合わせを行う遅延回路を備え、

遅延時間決定部は前記決定した遅延時間を該遅延回路に設定することを特徴とする請求項2記載の歪補償装置。

【請求項4】 遅延時間決定部は、歪補償動作時に送信信号とフィードバック信号の相関を定期的に演算し、相関が最大となる遅延時間と前記決定した遅延時間との差が設定時間以上になったとき歪補償動作を停止し、もしくは歪係数の更新動作を停止して遅延時間の再決定及び遅延回路への再設定を行うことを特徴とする請求項3記載の歪補償装置。

【請求項5】 遅延時間決定部は、歪補償動作時に送信信号とフィードバッ

ク信号の差を監視し、差がある閾値を越えたとき歪補償動作を停止し、もしくは歪係数の更新動作を停止して遅延時間の再決定及び遅延回路への再設定を行うことを特徴とする請求項3記載の歪補償装置。

【請求項6】 遅延時間決定部は、常時送信されている既知信号と前記フィードバック信号の相関を演算し、最大相関に基づいて遅延時間を決定することを特徴とする請求項3記載の歪補償装置。

【請求項7】 遅延時間決定部は、遅延時間の決定に際して送信信号に挿入されるトレーニング信号と前記フィードバック信号の相関を演算し、最大相関に基づいて遅延時間を決定することを特徴とする請求項3記載の歪補償装置。

【請求項8】 前記遅延回路の出力信号と前記フィードバック信号が入力され、両信号間の位相差が零となるように動作するDLL(Delay Locked Loop)回路を備えたことを特徴とする請求項3記載の歪補償装置。

【請求項9】 遅延時間決定部は、

送信信号とフィードバック信号の時間ずれをサンプリング時間単位で順次変更し、それぞれの位相において送信信号とフィードバック信号の相関を演算する相関器、

相関が最大となる時間ずれを前記送信電力増幅器とフィードバックループで生じる遅延時間とし、該遅延時間を前記遅延回路に設定する制御部、
を備えることを特徴とする請求項3記載の歪補償装置。

【請求項10】 前記遅延時間決定部は、送信信号とフィードバック信号の相関をスライディング相関器を用いて算出することを特徴とする請求項9記載の歪補償装置。

【請求項11】 遅延時間決定部は、送信信号がNオーバサンプリングされている場合、送信信号とフィードバック信号の時間ずれをNサンプリング時間単位で順次変更して相関を求め、相関が最大の時間ずれ近傍の送信信号とフィードバック信号の相関をサンプリング時間単位で時間ずれを順次変更して求め、相関が最大となる時間ずれに基づいて遅延時間を決定することを特徴とする請求項2記載の歪補償装置。

【請求項12】 前記遅延時間決定部は、送信信号とフィードバック信号の

相関をマッチトフィルタを用いて算出することを特徴とする請求項9記載の歪補償装置。

【請求項13】 マッチトフィルタのフィルタ長を送信電力増幅器とフィードバックループで生じる遅延時間の総量より短くし、フィードバック信号と送信信号の相関タイミング窓を制御して相関の高い遅延時間を求める特徴とする請求項12記載の歪補償装置。

【請求項14】 遅延時間決定部は、送信信号とフィードバック信号の相関をサンプリング時間単位で時間ずれを順次変更して演算し、送信信号の1周期分の相関を演算して記憶すると共に、同様に相関を複数周期分演算して記憶し、複数周期分の対応する時間ずれにおける相関の平均値を演算し、平均値が最大となる時間ずれに基づいて遅延時間を決定することを特徴とする請求項2記載の歪補償装置。

【請求項15】 歪補償係数を用いて送信信号に歪補償処理を施すプリディストーション部、歪補償前の送信信号と送信電力増幅器の出力側からフィードバックされるフィードバック信号とに基づいて歪補償係数を演算する歪補償係数演算部、演算された歪補償係数を送信信号に対応させて記憶する歪補償係数記憶部を備えた歪補償装置において、

送信信号のサンプリング時間より短い時間単位で前記フィードバック信号の遅延量を制御する遅延部、

送信信号とフィードバック信号の時間ずれをサンプリング時間単位で順次変更して両者間の相関を演算する相関器、

相関が最大となる遅延部における遅延量とサンプリング時間単位の時間ずれを求める制御部、

を備えたことを特徴とする歪補償装置。

【請求項16】 前記制御部は、遅延部における遅延量を一定にした状態で、相関が最大となるサンプリング時間単位の時間ずれを遅延時間として求め、ついで、相関器における送信信号とフィードバック信号の時間ずれを該遅延時間に固定した状態で、相関が最大となるように前記遅延部の遅延量を調整することを特徴とする請求項15記載の歪補償装置。

【請求項17】 遅延時間を設定されて歪補償装置各部のタイミング合わせを行う遅延回路を備え、

遅延時間決定部は、前記決定した遅延時間を該遅延回路に設定してタイミング合わせを行うことを特徴とする請求項16記載の歪補償装置。

【請求項18】 遅延時間を設定されて歪補償装置各部のタイミング合わせを行う遲延回路を備え、

前記制御部は、遅延部における遅延量を一定にした状態で、相関が最大となるサンプリング時間単位の時間ずれを遅延時間として求めて前記遅延回路に設定し、ついで、相関器における送信信号とフィードバック信号の時間ずれを0に固定し、相関が最大となるように前記遅延部の遅延量を調整することを特徴とする請求項15記載の歪補償装置。

【請求項19】 前記遅延部は、アナログ遅延器であることを特徴とする請求項15記載の歪補償装置。

【請求項20】 前記遅延部は、アナログフィルタであることを特徴とする請求項15記載の歪補償装置。

【請求項21】 前記遅延部は、デジタルフィルタであることを特徴とする請求項15記載の歪補償装置。

【請求項22】 前記遅延部は、フィードバック系に挿入されているA/D変換器のサンプリングクロックの位相を可変するサンプリングクロック位相可変回路であることを特徴とする請求項15記載の歪補償装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は歪補償装置に係り、特に、電力増幅器とフィードバックループで生じる遅延時間を送信信号とフィードバック信号の相関値から求め、該遅延時間に基づいて歪補償装置各部におけるタイミングを調整する機能を備えた歪補償装置に関する。

【0002】

【従来の技術】

近年周波数資源が逼迫し、無線通信に於いてデジタル化による高能率伝送が多く用いられるようになってきた。無線通信に多値振幅変調方式を適用する場合、送信側特に電力増幅器の増幅特性を直線化して非線形歪を抑え、隣接チャネル漏洩電力を低減する技術が重要であり、また線型性に劣る増幅器を使用し電力効率の向上を図る場合はそれによる歪発生を補償する技術が必須である。

【0003】

図23は従来の無線機における送信装置の一例を示すブロック図であり、送信信号発生装置1はシリアルのデジタルデータ列を送出し、シリアル／パラレル変換器(S/P変換器)2はデジタルデータ列を1ビットづつ交互に振り分けて同相成分信号(I信号: In-phase component)と直交成分信号(Q信号: Quadrature component)の2系列に変換する。DA変換器3はI信号、Q信号のそれをアナログのベースバンド信号に変換して直交変調器4に入力する。直交変調器4は入力されたI信号、Q信号(送信ベースバンド信号)にそれぞれ基準搬送波とこれを 90^0 移相した信号を乗算し、乗算結果を加算することにより直交変換を行って出力する。周波数変換器5は直交変調信号と局部発振信号をミキシングして周波数変換し、送信電力増幅器6は周波数変換器5から出力された搬送波を電力増幅して空中線(アンテナ)7より空中に放射する。

【0004】

かかる送信装置において、送信電力増幅器の入出力特性(歪関数f(p))は図24(a)の点線で示すように非直線性になる。この非直線特性により非線形歪が発生し、送信周波数 f_0 周辺の周波数スペクトラムは図24(b)の点線で示すようにサイドロープが持ち上がり、隣接チャネルに漏洩し、隣接妨害を生じる。このため、フィードバック系の歪補償技術としてカルテジアンループ方式、ポーラーループ方式等が提案され、電力増幅器の歪抑圧を行っている。

【0005】

図25はDSPを用いたデジタル非線形歪補償機能を備えた送信装置のブロック図である。送信信号発生装置1から送出されるデジタルデータ群(送信信号)は、S/P変換器2においてI信号、Q信号の2系列に変換されてDSPで構成される歪補償部8に入力される。歪補償部8は機能的に図26に示すように

、送信信号のパワーレベル0~1023に応じた歪補償係数 $h(pi)$ ($i=0\sim1023$)を記憶する歪補償係数記憶部8a、送信信号レベルに応じた歪補償係数 $h(pi)$ を用いて該送信信号に歪補償処理(プリディストーション)を施すプリディストーション部8b、送信信号と後述する直交検波器で復調された復調信号(フィードバック信号)を比較し、その誤差を用いて歪補償係数 $h(pi)$ を演算、更新する歪補償係数演算部8cを備えている。

【0006】

歪補償部8は送信信号のレベルに応じた歪補償係数 $h(pi)$ を用いて該送信信号にプリディストーション処理を施し、DA変換器3に入力する。DA変換器3は入力されたI信号とQ信号をアナログのベースバンド信号に変換して直交変調器4に入力する。直交変調器4は入力されたI信号、Q信号にそれぞれ基準搬送波とこれを90°移相した信号を乗算し、乗算結果を加算することにより直交変換を行って出力する。周波数変換器5は直交変調信号と局部発振信号をミキシングして周波数変換し、送信電力増幅器6は周波数変換器5から出力された搬送波信号を電力増幅して空中線(アンテナ)7より空中に放射する。

【0007】

送信信号の一部は方向性結合器9を介して周波数変換器10に入力され、ここで周波数変換されて直交検波器11に入力される。直交検波器11は入力信号にそれぞれ基準搬送波とこれを90°移相した信号を乗算して直交検波を行い、送信側におけるベースバンドのI、Q信号を再現してAD変換器12に入力する。AD変換器12は入力されたI、Q信号をデジタルに変換して歪補償部8に入力する。歪補償部8はLMS(Least Mean Square)アルゴリズムを用いた適応信号処理により歪補償前の送信信号と直交検波器で復調されたフィードバック信号を比較し、その誤差を用いて歪補償係数 $h(pi)$ を演算、更新する。ついで、次の送信すべき送信信号に更新した歪補償係数を用いてプリディストーション処理を施して出力する。以後、上記動作を繰り返すことにより、送信電力増幅器6の非線形歪を抑えて隣接チャネル漏洩電力を低減する。

【0008】

図27は適応LMSによる歪補償処理の説明図である。21aは送信信号(入

力ベースバンド信号) $x(t)$ に歪補償係数 $h_n(p)$ を乗算する乗算器 (プリディストーション部)、21bは歪補償処理された送信信号をアナログ変換するDA変換器、21cは歪関数 $f(p)$ を有する歪デバイス (送信電力増幅器)、21dは送信電力増幅器からの出力信号 $y(t)$ を帰還する帰還系、21eはフィードバック信号をデジタルに変換するAD変換器、21fは送信信号 $x(t)$ のパワー p ($= |x(t)|^2$) に応じた歪補償係数 $h_n(p)$ を記憶する歪補償係数記憶部であり、LMSアルゴリズムにより求まる歪補償係数 $h_{n+1}(p)$ で歪補償係数 $h_n(p)$ を更新する。

21gは送信信号 $x(t)$ のパワー p ($= |x(t)|^2$) を演算し、読み出しアドレスとして出力する演算部、21hは遅延回路であり歪補償係数記憶部21fの書き込みアドレスを発生する。送信信号 $x(t)$ のパワー p が示すアドレスから歪補償係数 $h_n(p)$ が読み出され、新たな歪補償係数 $h_{n+1}(p)$ が求まるまでに所定の時間を要する。そこで、遅延回路21hは書き込みアドレスの発生をこの時間分遅延させ、新たな歪補償係数 $h_{n+1}(p)$ で古い歪補償係数 $h_n(p)$ を更新できるようにする。21iは遅延回路21hの遅延時間調整部である。

【0009】

21jはLMS適応アルゴリズムにより誤差が零となるように歪補償係数を演算して更新する歪補償係数演算部である。この歪補償係数演算部において、21j-1は歪補償前の送信信号 $x(t)$ とフィードバック信号 $y(t)$ の差 $e(t)$ を出力する減算器、21j-2は送信信号とフィードバック信号のタイミングを調整する遅延回路、21j-2'は遅延回路21j-2の遅延時間を調整する遅延時間調整部、21j-3は誤差 $e(t)$ とステップサイズパラメータ μ (< 1) を乗算する乗算器、21j-4は共役複素信号 $y^*(t)$ を出力する共役複素信号出力部、21j-5は $h_n(p)$ と $y^*(t)$ の乗算を行う乗算器、21j-6は $\mu e(t)$ と $u^*(t)$ の乗算を行う乗算器、21j-7は歪補償係数 $h_n(p)$ を出力するタイミングを調整する遅延回路、21j-8は歪補償係数 $h_n(p)$ と $\mu e(t) u^*(t)$ を加算する加算器、21j-9は遅延回路21j-7の遅延時間を調整する遅延時間調整部である。

【0010】

上記構成により、以下に示す演算が行われる。

$$h_{n+1}(p) = h_n(p) + \mu e(t) u^*(t)$$

$$e(t) = x(t) - y(t)$$

$$y(t) = h_n(p) x(t) f(p)$$

$$u(t) = x(t) f(p) = h_n^*(p) y(t)$$

$P = |x(t)|^2$ ただし、 x, y, f, h, u, e は複素数、* は共役複素数である。上記演算処理を行うことにより歪補償係数 $h(p)$ が更新され、最終的に最適の歪補償係数値に収束し、送信電力増幅器の歪が補償される。

【0011】

【発明が解決しようとする課題】

ところで、各遅延回路 $21h, 21j-2, 21j-6$ に設定する遅延時間 D は、電力増幅器 $21c$ における遅延時間を D_0 、帰還系 $21d$ の遅延時間を D_1 とすれば、次式

$D = D_0 + D_1$ を満足するように設定する必要がある。しかし、電力増幅器 $21c$ や帰還系 $21d$ に用いられるフィルタ等のデバイスに固体差があるためトータルの遅延時間 D が変動する。このため、従来は送信装置毎に各遅延回路 $21h, 21j-2, 21j-6$ の遅延時間を遅延時間調整スイッチを用いて手動で調整する必要があり、遅延時間調整作業が煩雑となり、しかも、高精度の調整ができない問題があった。

以上から本発明の目的は、自動的に遅延時間を測定し、該遅延時間を遅延回路に設定できることである。

本発明の別の目的は高精度に遅延時間を測定し、該遅延時間を遅延回路に設定できることである。

【0012】

【課題を解決するための手段】

上記第1の課題は本発明によれば、(1) 歪補償係数を用いて送信信号に歪補償処理を施すプリディストーション部、(2) 歪補償前の送信信号と送信電力増幅器の出力側からフィードバックされるフィードバック信号とに基づいて歪補償係数を演算する歪補償係数演算部、(3) 演算された歪補償係数を送信信号に対応させて記憶する歪補償係数記憶部、(4) 送信電力増幅器とフィードバックループで生じる遅延時間を設定されて歪補償装置各部のタイミング合わせを行う遅延回路、

(5) 該遅延時間を送信信号とフィードバック信号との最大相関に基づいて決定し遅延回路に設定する遅延時間決定部、を備えた歪補償装置により達成される。

【0013】

又、上記第2の課題は本発明によれば、(1) 歪補償係数を用いて送信信号に歪補償処理を施すプリディストーション部、(2) 歪補償前の送信信号と送信電力増幅器の出力側からフィードバックされるフィードバック信号とに基づいて歪補償係数を演算する歪補償係数演算部、(3) 演算された歪補償係数を送信信号に対応させて記憶する歪補償係数記憶部、(4) 送信電力増幅器とフィードバックループで生じる遅延時間を設定されて歪補償装置各部のタイミング合わせを行う遅延回路、(5) 送信信号のサンプリング時間より短い時間単位で前記フィードバック信号の遅延量を制御する遅延部、(6) 送信信号とフィードバック信号の時間ずれ(位相)をサンプリング時間単位で順次ずらし、あるいは、遅延部における遅延量を可変して両者間の相関を演算し、相関が最大となる遅延部における遅延量とサンプリング時間単位の遅延時間をそれぞれ求める遅延時間決定部、を備えた歪補償装置により達成される。

【0014】

具体的には、遅延時間決定部は、(1) 遅延部における遅延量を一定にした状態で、相関が最大となるサンプリング時間単位の時間ずれを遅延時間として求め、ついで、(2) 相関器における送信信号とフィードバック信号の時間ずれを該遅延時間に固定し、(3) この状態で、相関が最大となるように前記遅延部の遅延量(サンプリング間隔以下の遅延量)を調整する。

あるいは、遅延時間決定部は、(1) 遅延部における遅延量を一定にした状態で、相関が最大となるサンプリング時間単位の時間ずれを遅延時間として求め、(2) 該遅延時間を遅延回路に設定してサンプリング間隔の時間ずれを無くし、(3) ついで、相関器における送信信号とフィードバック信号の時間ずれを0に固定し、(4) 相関が最大となるように前記遅延部の遅延量(サンプリング間隔以下の遅延量)を調整する。

【0015】

【発明の実施の形態】

(A) 本発明の概略

(a) 第1の発明

図1は第1の発明の概略説明図であり、51aは送信信号x(t)に歪補償係数 $h_n(p)$ を乗算（実際には複素乗算）するプリディストーション部、51bはDA変換器、51cは歪デバイス（例えば送信電力増幅器）、51dは帰還系、51eはAD変換器、51fは送信信号x(t)のパワー p に応じた歪補償係数 $h_n(p)$ を記憶する歪補償係数記憶部、51gは送信信号x(t)のパワー p を演算する演算部、51hは書き込みアドレス発生用の遅延回路、51iはLMS適応アルゴリズムにより歪補償係数を演算する歪補償係数演算部である。

歪補償係数演算部51iにおいて、61aは歪補償前の送信信号x(t)とフィードバック信号y(t)の差e(t)を出力する減算器、61bは送信信号とフィードバック信号のタイミングを調整する遅延回路、61cは誤差e(t)とステップサイズパラメータ μ を乗算する乗算器、61dは共役複素信号 $y^*(t)$ を出力する共役複素信号出力部、61eは $h_n(p)$ と $y^*(t)$ の乗算を行う乗算器、61fは $\mu e(t)$ と $u^*(t)$ の乗算を行う乗算器、61gは歪補償係数 $h_n(p)$ を出力するタイミングを調整する遅延回路、61hは歪補償係数 $h_n(p)$ と $\mu e(t) u^*(t)$ を加算する加算器である。

【0016】

遅延時間決定部71は歪補償前の送信信号x(t)とフィードバック信号の相関を演算し、最大相関に基づいて送信電力増幅器51cと帰還系51d等で生じるトータルの遅延時間($D_0 + D_1$)を決定し、各遅延回路51h、61b、61gに設定する。すなわち、送信信号x(t)とフィードバック信号の相間に着目し、双方の信号を相関器71aに入力し、その相関器出力を監視して相関値最大となるタイミングを電力増幅器及びフィードバックループ中のデバイスによる遅延量として設定し、歪補償を行う。

相関演算に際して、遅延時間決定部71は、送信信号x(t)とフィードバック信号y(t)の位相（時間ずれ）を送信信号のサンプリング時間単位で順次ずらし、それぞれの位相において送信信号とフィードバック信号の相関を演算し、相関が最大となる位相を遅延時間($D_0 + D_1$)として各遅延回路に設定する。

【0017】

又、相関演算に際して、遅延時間決定部71は送信信号 $x(t)$ がNオーバサンプリングされていれば、(1) 送信信号 $x(t)$ とフィードバック信号の位相(時間ずれ)をNサンプリング時間単位で順次ずらし相関を求め、ついで、(2) 相関が最大の位相近傍の送信信号とフィードバック信号の相関をサンプリング時間単位で位相を順次ずらして求め、(3) 相関が最大となる位相に基づいて遅延時間を決定する。このようにすれば、遅延時間決定に要する時間を短縮できる。

又、相関演算に際して、遅延時間決定部71は、(1) 送信信号 $x(t)$ とフィードバック信号 $y(t)$ の相関をサンプリング時間単位で位相(時間ずれ)を順次ずらして演算し、送信信号の1周期分の相関を演算して記憶すると共に、(2) 同様に相関を複数周期分演算して記憶し、(3) 複数周期分の対応する時間ずれにおける相関の平均値を演算し、(4) 平均値が最大となる時間ずれに基づいて遅延時間を決定する。このようにすれば、高精度に遅延時間を決定して各遅延回路に設定できる。

【0018】

遅延時間決定部71における相関器71aとして、スライディング相関器またはマッチトフィルタを用いる。スライディング相関器を用いれば構成を簡単にでき、又、マッチトフィルタを用いれば遅延時間を短時間で決定することができる。

遅延時間決定部71は、歪補償動作時にも送信信号とフィードバック信号の相関を定期的に演算し、相関が最大となる遅延時間と初期動作時に決定した遅延時間との差が設定時間以上になったとき歪補償動作を停止し、もしくは歪係数の更新動作を停止して遅延時間の再決定及び遅延回路への再設定を行う。このようによれば、フィードバックの遅延が経年変化などにより変化して隣接チャネル漏洩電力が増えたとき、遅延時間の再決定及び再設定が可能になり歪補償による効果を維持できる。

【0019】

又、遅延時間決定部71は、歪補償動作時に送信信号とフィードバック信号の差を監視し、差がある閾値を越えたとき歪補償動作を停止し、もしくは歪係数の

更新動作を停止して遅延時間の再決定及び遅延回路への再設定を行う。このようにすれば、フィードバックの遅延が経年変化などにより変化して隣接チャネル漏洩電力が増えたとき、前記差が増大するから該差を監視することで遅延時間の再決定及び再設定が可能になり、歪補償による効果を維持できる。

遅延時間決定部71は、常時送信されている既知信号が存在する場合には、該既知信号とフィードバック信号の相関を演算し、最大相関に基づいて遅延時間を決定する。このようにすれば、相関演算における参照信号を確定できるため、精度の高い相関演算が可能になる。

【0020】

遅延時間決定部71は、遅延時間の決定に際して送信信号に挿入されるトレーニング信号とフィードバック信号の相関を演算し、最大相関に基づいて遅延時間を決定する。このようにすれば、相関演算における参照信号を確定できるため、精度の高い相関演算が可能になる。

歪補償装置は最大相関に基づいて求めた遅延時間を遅延回路に設定して歪補償動作を行う。かかる歪補償装置にDLL(Delay Locked Loop)回路を設ける。DLL回路には、遅延回路で遅延された送信信号とフィードバック信号が入力され、両信号間の位相差が零となるように動作する。このようにすれば、経年変化等でフィードバック系等の遅延時間が変化してもトータルの遅延時間を一定に維持でき、歪補償による効果を発揮することができる。

【0021】

(b) 第2の発明

図2は第2の発明の概略説明図であり、図1と同一部分には同一符号を付している。異なる点は、送信信号 $x(t)$ のサンプリング時間より短い時間単位でフィードバック信号の遅延量 Dv を制御する遅延部81がフィードバックループに挿入されている点である。

遅延時間決定部71は、遅延部81における遅延量を一定にした状態で、相関が最大となるサンプリング時間単位の位相(時間ずれ)を遅延時間として求め、ついで、相関器における送信信号とフィードバック信号の時間ずれを該遅延時間に固定した状態で、相関が最大となるように前記遅延部81の遅延量を調整する

。ついで、決定した遅延時間を該遅延回路51h, 61b, 61gに設定してタイミング合わせを行う。

【0022】

あるいは、遅延時間決定部71は遅延部81の遅延量を一定にした状態で、送信信号とフィードバック信号の相関が最大となるサンプリング時間単位の時間ずれを遅延時間として求め、該遅延時間を各遅延回路51h, 61b, 61gに設定する。これにより、サンプリング間隔の時間ずれを無くすことができる。ついで、遅延時間決定部71は、(1) 相関器における送信信号とフィードバック信号の時間ずれを0に固定すると共に、(2) 遅延部81の遅延量(サンプリング間隔以下の遅延量)を可変して相関が最大となるようにする。これにより、サンプリング間隔以下の遅延量の調整ができる。

以上のようにすれば、トータルの遅延時間 $D=D_0+D_1+Dv$ がサンプリング時間の整数倍となるようにでき、遅延部81の遅延時間調整時間単位の精度で歪補償装置各部のタイミング合わせが可能になる。

なお、遅延部81は、(1) 遅延素子、(2) アナログフィルタ、(3) ディジタルフィルタ、(4) A/D変換器のサンプリングクロック位相可変回路などで構成することができる。

【0023】

(B) スライディング相関器を用いた遅延時間決定部

(a) 第1実施例

図3はスライディング相関器を用いた遅延時間決定部の第1実施例構成図であり、図1と同一部分には同一番号を付している。遅延回路61bはサンプリング周期で到来するデジタルの送信信号 $x(t)$ を順次シフトしながら記憶するシフトレジスタ61b-1、該シフトレジスタの所定シフト位置から送信信号を取り出して減算器61aに入力するセレクタ61b-2を有している。シフトレジスタ61b-1のシフト長は最大遅延時間以上となるように定められており、先頭よりm番目のシフト位置において送信信号は $m \cdot T_s$ (T_s はサンプリング周期)遅延する。遅延時間決定部71は、スライディング相関器71a、制御部71b、セレクタ71cを有している。スライディング相関器71aは、所定時間遅延した送信信号 $x(t)$

とA/D変換器51eから出力するフィードバック信号 $y(t)$ の相関を、1サンプルづつ乗算すると共に乗算結果を積算して演算するもので、乗算器71a-1、遅延器71a-2、それまでの積算値と今回の乗算結果を加算して出力する加算器71a-3で構成されている。セレクタ71cは送信信号 $x(t)$ を取り出すシフトレジスタ61b-1のシフト位置を切り替えることにより、送信信号のフィードバック信号に対する位相（時間ずれ）を制御する。制御部71bは相関が最大となる遅延時間を求め、遅延回路61bのセレクタ61b-2に設定する。

【0024】

図4は制御部71bの遅延時間決定の処理フローであり、 i は遅延時間 $i \cdot T_c$ を示すパラメータ、 j は今までの相関値のうち相関値が最大となる遅延時間 $j \cdot T_c$ を示すパラメータ、 Z は今までの最大相関値、 Y_i は今回の相関値、 N は求め相関値の個数である。

初期時に i 、 j 、 Z を0に初期化する（ステップ1001）。ついで、 $i \leq N - 1$ であるかチェックし、すなわち、 N 個の相関演算を終了したかチェックする（ステップ1002）。 N 個の相関演算を終了してなければ、時間 $i \cdot T_c$ 遅延した送信信号（シフトレジスタ61b-1の第*i*シフト位置から取り出した送信信号）とフィードバック信号の相関値 Y_i をスライディング相関器71aで演算する（ステップ1003）。

【0025】

ついで、今までの最大相関値 Z と今回の相関値 Y_i の大小を比較し（ステップ1004）、 $Z < Y_i$ であれば、 $Z = Y_i$ として最大相関値 Z を更新すると共に、 $j = i$ とする（ステップ1005）。しかる後、あるいはステップ1004において $Z \geq Y_i$ であれば、 i を歩進し($i=i+1$ 、ステップ1006)、以後、ステップ1002以降の処理を繰り返す。そして、 N 個の相関演算終了により、ステップ1002において $i > N$ となれば、時間 $j \cdot T_c$ を送信電力増幅器及び帰還系におけるトータルの遅延時間として遅延回路61bに設定する（ステップ1007）。遅延回路61bのセレクタ61b-2はシフトレジスタ61b-1の第 j シフト位置より送信信号を取り出して減算器61aに入力する。尚、遅延回路51h、61g（図1）も遅延回路61bと同様の構成を備えており、シフトレジスタの第 j シフト位置より時間 $j \cdot T_c$ 遅延した信号を取り出して出力する。

以上、送信信号とフィードバック信号の相関が最大となる位相を求めるこにより送信電力増幅器及び帰還系におけるトータルの遅延時間を決定することができ、しかも、相関器としてスライディング相関器を用いることにより構成を簡単にできる。

【0026】

(b) 第2実施例

図5はスライディング相関器を用いた遅延時間決定部の第2実施例構成図であり、図3と同一部分には同一番号を付している。図3の第1実施例と機能的に異なる点は、

- (1) 送信信号 $x(t)$ が M オーバサンプリングされている点、
- (2) 送信信号とフィードバック信号の位相（時間ずれ）を M サンプリング時間単位で順次ずらし相関を求め、相関が最大となる M サンプリング時間単位の位相を求める点、
- (3) 該位相近傍における相関をサンプリング時間単位で位相を順次ずらして求め、相関が最大となる位相に基づいて遅延時間を決定する点である。

【0027】

又、ハード的に異なる点は、

- (1) 遅延回路 61b のシフトレジスタ 61b-1 の長さが M 倍になっている点、
- (2) 遅延時間決定部 71 に第2のセレクタ 71d 及び M ビットシフトレジスタ 71e を設けた点、
- (3) M サンプリング時間単位で相関を演算する第1段階において、セレクタ 71c は相関値が演算される毎にシフトレジスタ 61b-1 より M シフト間隔で次の送信信号を選択的に取り出してシフトレジスタ 71d に入力する点、
- (4) M サンプリング時間単位で相関を演算する第1段階においてセレクタ 71e はシフトレジスタ 71d の第1シフト位置より常時送信信号を取り出してスライディング相関器 71a に入力する点、
- (5) サンプリング時間単位で相関を演算する第2段階においてセレクタ 71c がシフトレジスタ 61b-1 より M シフト間隔で相関が最大となるシフト位置より送信信号を取り出してシフトレジスタ 71d に入力する点、

(6) サンプリング時間単位で相関を演算する第2段階において、セレクタ71eは相関値が演算される毎にシフトレジスタ71dの次のシフト位置より送信信号を選択的に取り出してスライディング相関器71aに入力する点、である。

【0028】

図6は制御部71bの遅延時間決定の処理フローであり、iはサンプリング周期をTsとすれば遅延時間*i*・Tsを示すパラメータ、jは今までの相関値のうち相関値が最大となる遅延時間*j*・Tsを示すパラメータ、Mはオーバサンプル数、kは*i=M・k*より求まるパラメータ、Zは今までの最大相関値、Yiは今回の相関値、Nは求める相関値の個数である。

初期時にi、j、Zを0に初期化する(ステップ1101)。ついで、 $i \leq N - 1$ であるかチェックし、すなわち、Mサンプリング間隔の第1段位の相関演算を終了したかチェックする(ステップ1102)。終了してなければ、時間*i*・Tc遅延した送信信号(シフトレジスタ61b-1の第*i*シフト位置から取り出した送信信号)とフィードバック信号の相関値Yiをスライディング相関器71aで演算する(ステップ1103)。

【0029】

ついで、今までの最大相関値Zと今回の相関値Yiの大小を比較し(ステップ1104)、 $Z < Y_i$ であれば、 $Z = Y_i$ として最大相関値Zを更新すると共に、 $j = i$ とする(ステップ1105)。しかる後、あるいはステップ1004において $Z \geq Y_i$ であれば、kを歩進し($k=k+1$)、 $i = k \cdot M$ によりiを更新し(ステップ1106)、以後、ステップ1102以降の処理を繰り返す。そして、Mサンプリング毎の第1段階の相関演算終了により、ステップ1102において*i > N*となれば、 $J = j$ とする(ステップ1110)。尚、 $J \cdot Ts$ はMサンプル毎の最大相関を与える遅延時間である。以後、セレクタ71cはシフトレジスタ61b-1の第Jシフト位置より送信信号を取り出してシフトレジスタ71dに入力する。

ついで、 $i = 0$ とし(ステップ1111)、 $i \leq M - 1$ であるかチェックし、すなわち、サンプリング間隔のM個の相関演算(第2段階の相関演算)を終了したかチェックする(ステップ1112)。終了してなければ、時間($J + i$)・Ts遅延した送信信号(シフトレジスタ71eの第*i*シフト位置から取り出した送信信号)とフ

イードバック信号の相関値 Y_i をスライディング相関器71aで演算する(ステップ113)。

【0030】

ついで、それまでの最大相関値 Z と今回の相関値 Y_i の大小を比較し(ステップ1114)、 $Z < Y_i$ であれば、 $Z = Y_i$ として最大相関値 Z を更新すると共に、 $j = i$ とする(ステップ1115)。しかる後、あるいはステップ1114において $Z \geq Y_i$ であれば、 i を歩進し(ステップ1116)、以後、ステップ1112以降の処理を繰り返す。そして、M個の第2段階の相関演算終了により、ステップ1112において $i > M$ となれば、時間 $(J+j) \cdot T_c$ を送信電力増幅器及び帰還系におけるトータルの遅延時間として遅延回路61bに設定する(ステップ1117)。遅延回路61bのセレクタ61b-2はシフトレジスタ61b-1の第 $(J+j)$ シフト位置より送信信号を取り出して減算器61aに入力する。尚、遅延回路51h、61g(図1)も遅延回路61bと同様の構成を備えており、シフトレジスタの第 $(J+j)$ ビット位置より時間 $(J+j) \cdot T_c$ 遅延した信号を取り出して出力する。

以上のようにすれば、N個の相関値を演算する必要がなく、 $(N/M)+M$ 回の相関値を演算することにより最大相関、すなわち遅延時間を求めることができ、遅延時間決定に要する時間を短縮することができる。

【0031】

(C) マッチトフィルタを用いた遅延時間決定部

(a) 第1実施例

図7はマッチトフィルタを用いた遅延時間決定部の第1実施例構成図であり、図1と同一部分には同一番号を付している。遅延回路61bは所定サンプリング速度で到来する送信信号 $x(t)$ を順次シフトしながら記憶するシフトレジスタ61b-1、該シフトレジスタの所定シフト位置から送信信号を取り出して減算器61aに入力するセレクタ61b-2を有している。シフトレジスタ61b-1のシフト長は最大遅延時間以上となるように定められており、先頭よりm番目のシフト位置において送信信号は $m \cdot T_s$ (T_s はサンプリング速度)遅延する。

【0032】

遅延時間決定部71は、マッチトフィルタ72a、制御部72bを有している

。マッチトフィルタ72aは、デジタルの送信信号 $x(t)$ のnサンプル分をシフトしながら記憶するシフト長nのシフトレジスタ72a-1、所定時刻における該シフトレジスタの内容をロードされて保持するnサンプル分のラッチ回路72a-2c、デジタルのフィードバック信号のnサンプル分をシフトしながら記憶するシフト長nのシフトレジスタ72a-3、ラッチ回路72a-2とシフトレジスタ72a-3の対応するサンプルデータを乗算するn個の乗算器 $MP_0 \sim MP_{n-1}$ 、各乗算器出力を加算して相関値を演算する加算器ADDを有している。

【0033】

ラッチ回路72a-2にラッチした送信信号のnサンプルデータとシフトレジスタ72a-3のnサンプルデータの対応データを乗算して加算することにより相関値を演算できる。又、次のサンプリング時刻においてシフトレジスタ72a-3の内容がシフトしており、ラッチ回路72a-2にラッチした送信信号のnサンプルデータとのシフトレジスタ72a-3のnサンプルデータの対応データを乗算して加算することにより、1サンプル時間遅延した相関値を演算できる。以下同様にしてnサンプリング時刻の間に遅延時間0～(n-1)・Tsまでのn個の相関値を得ることができる。制御部72bはn個の相関値のうち最大相関を求め、該最大相関発生時の遅延時間j・Tsを送信電力増幅器及び帰還系等のトータルの遅延時間として遅延回路61bに設定する。これにより、遅延回路61bのセレクタ61b-2はシフトレジスタ61b-1の第jシフト位置より送信信号を取り出して減算器61aに入力する。尚、遅延回路51h、61g(図1)も遅延回路61bと同様の構成を備えており、シフトレジスタの第jシフト位置より時間j・Tc遅延した信号を取り出して出力する。

以上、送信信号とフィードバック信号の相関が最大となる位相(時間ずれ)を求めるにより送信電力増幅器及び帰還系におけるトータルの遅延時間を決定することができ、しかも、相関器としてマッチトフィルタを用いることにより遅延時間を短時間で決定することができる。

【0034】

(b) 第2実施例

図8はマッチトフィルタを用いた遅延時間決定部の第2実施例構成図であり、

図7と同一部分には同一番号を付している。異なる点は、

- (1) マッチトフィルタ72aの長さ、すなわち、シフトレジスタ72a-1,72a-3, ラッチ回路72a-2の長さを送信電力増幅器とフィードバックループで生じる遅延時間の総量より短くし（たとえば半分にし）、乗算器の数も半分にした点、
- (2) 送信信号 $x(t)$ を前半と後半に分け、それぞれについて $n/2$ 個の相関値を演算し、最大相関のタイミング基づいて遅延時間を決定する点である。

【0035】

マッチトフィルタ72aは、シフトレジスタ72a-1に記憶された前半の $n/2$ 個の送信信号 $x(t)$ をラッチ回路72a-2にラッチし、ラッチした前半の $n/2$ 個の送信信号 $x(t)$ とシフトレジスタ72a-3に記憶される $n/2$ 個の対応するフィードバック信号を乗算し、乗算結果を加算し、加算結果を相関値として制御部72bに入力する。以後、マッチトフィルタ72aはシフトレジスタ72a-3の内容がシフトする毎にラッチした送信信号の前半データとフィードバック信号の相関を演算し、制御部72bに入力する。

シフトレジスタ72a-3の内容が($n/2$)回シフトし、前半の送信信号とフィードバック信号間の $n/2$ 個の相関値の演算が完了すれば、その間にシフトレジスタ72a-1に後半の $n/2$ 個の送信信号 $x(t)$ が記憶される。ついで、マッチトフィルタ72aはシフトレジスタ72a-1に記憶された後半の $n/2$ 個の送信信号 $x(t)$ をラッチ回路72a-2にラッチし、かかる後、ラッチした後半の $n/2$ 個の送信信号 $x(t)$ とシフトレジスタ72a-3に記憶される $n/2$ 個の対応するフィードバック信号を乗算し、乗算結果を加算し、加算結果を相関値として制御部72bに入力する。以後、マッチトフィルタ72aはシフトレジスタ72a-3の内容がシフトする毎にラッチした送信信号の後半データとフィードバック信号の相関を演算し、制御部72bに入力する。

【0036】

シフトレジスタ72a-3の内容が($n/2$)回シフトし、後半の送信信号とフィードバック信号間の $n/2$ 個の相関値の演算が完了すれば、制御部72bはトータル n 個の相関のうち最大相関を求め、該最大相関のタイミング基づいて遅延時間を決定して遅延回路61bに設定する。尚、制御部72bは、相関値が入力する毎に該

入力した相関値とそれまでの最大相関値を比較し、入力した相関値が大きければその時のタイミングを記憶し、かつ最大相関値を更新し、以後同様の処理を行うことにより最大相関およびそのタイミングを決定する。

以上では、シフトレジスタ71a-1,72a-3の長さを半分にした例であるが、1/3、1/4...することもできる。マッチトフィルタを用いた第2実施例によれば、マッチトフィルタの長さを短くできる。

【0037】

(D) 平均相関の最大値に基づく遅延時間決定部

図9はしひの平均相関の最大値に基づいて遅延時間を決定する遅延時間決定部の構成図であり、図3のスライディング相関器を用いた実施例と同一部分には同一符号を付している。図3の実施例と異なる点は、(1) 図3の実施例と同様の方法で遅延時間 $0 \cdot Ts, 1 \cdot Ts, 2 \cdot Ts, \dots, (N-1) \cdot Ts$ のN個の相関値をL組求め、それぞれの相関値 $Z_{0i}, Z_{1i}, Z_{2i}, \dots, Z_{N-1i}$ ($i=1 \sim L$)を記憶するメモリ73aを設けた点、(2) L組の対応する相関値を積算してその平均値を演算するアキューメレータ73bと平均値演算部73cを設けた点、である。

【0038】

制御部71bは平均相関値が最大となる遅延時間 $j \cdot Ts$ を送信電力増幅器及び帰還系等のトータルの遅延時間として遅延回路61bに設定する。遅延回路61bのセレクタ61b-2はシフトレジスタ61b-1の第jシフト位置より送信信号を取り出して減算器61aに入力する。以上のようにすれば、高精度に遅延時間を決定して各遅延回路に設定できる。

図9の実施例ではスライディング相関器を用いているが、マッチトフィルタを用いて遅延時間 $0 \cdot Ts, 1 \cdot Ts, 2 \cdot Ts, \dots, (N-1) \cdot Ts$ のN個の相関値をL組求め、その平均値最大のタイミングを遅延時間とすることもできる。

【0039】

(E) 高精度で遅延時間を決定及び設定する実施例

以上の実施例はサンプリング時間Ts単位で遅延時間を決定して遅延回路に設定するものであった。以下の実施例ではサンプリング時間Ts以下の高精度で遅延時間を見定し、且つ遅延回路に設定する。

(a) 第1実施例

図10は高精度で遅延時間を決定及び設定する第1実施例の構成図であり、図2と同一部分には同一符号を付している。異なる点は、(1) 遅延時間決定部71の構成を詳細に示し、制御部71bの制御で遅延部81の遅延量を調整する点、(2) 遅延回路61bの構成を詳細に示している点である。

図10の第1実施例の特徴は、送信信号 $x(t)$ のサンプリング時間 T_s より短い時間単位で遅延量 D_v を制御する遅延部81をフィードバックループに挿入し、相関値が最大となるように遅延量 D_v を制御する点である。

【0040】

遅延回路61bはサンプリング周期で到来するディジタルの送信信号 $x(t)$ を順次シフトしながら記憶するシフトレジスタ61b-1、該シフトレジスタの所定シフト位置から送信信号を取り出して減算器61aに入力するセレクタ61b-2を有している。シフトレジスタ61b-1のシフト長は最大遅延時間以上となるよう規定られており、先頭より m 番目のシフト位置において送信信号は $m \cdot T_s$ (T_s はサンプリング周期)遅延する。

遅延時間決定部71は、スライディング相関器71a、制御部71b、セレクタ71cを有している。スライディング相関器71aは、所定時間遅延したディジタルの送信信号 $x(t)$ とA/D変換器51eから出力するディジタルのフィードバック信号 $y(t)$ の相関を、1サンプルづつ乗算すると共に乗算結果を積算して演算するもので、乗算器71a-1、遅延器71a-2、それまでの積算値と今回の乗算結果を加算して出力する加算器71a-3で構成されている。セレクタ71cは送信信号 $x(t)$ を取り出すシフトレジスタ61b-1のシフト位置を切り替えることにより、送信信号のフィードバック信号に対する位相(時間ずれ)を制御する。制御部71bは相関が最大となる遅延時間を求め、遅延回路61bのセレクタ61b-2に設定する。又、制御部71bは遅延時間決定後、相関値が最大となるように遅延部81の遅延量 D_v を調整する。

【0041】

図11はサンプリング周期以下の高精度で遅延時間を設定するための処理フローである。

遅延時間決定部71は、遅延部81における遅延量Dvを一定(たとえばDv=0)、にした状態で、相関が最大となるサンプリング時間単位の遅延時間Dを求め(ステップ2001)、遅延回路51h、61b、61gに設定する(ステップ2002)。これにより、サンプリング時間単位の時間ずれを無くすことができる。尚、相関が最大となるサンプリング時間単位の遅延時間Dは図3の実施例と同一の方法で求めることができる。

ついで、相関器における送信信号とフィードバック信号の位相(時間ずれ)を0に固定すると共に、d=0、Z=0とする(ステップ2003)。ただし、dは遅延部81に設定する遅延量、Zは最大相関値である。

初期設定後、遅延量dを△D増加し(ステップ2004)、dがサンプリング周期Tsより大きくなったかチェックする(ステップ2005)。但し、△Dはサンプリング周期Tsより小さい。

【0042】

d < Tsであれば、送信信号とフィードバック信号の位相(時間ずれ)を0とした時の相関器71aにおける相関Rを演算し(ステップ2006)、R>Zであるかチェックする(ステップ2007)。R≤Zであればステップ2004に飛び、遅延量を△D増加して以降の処理を繰り返す。

一方、R>ZであればZ=R、Dv=dとしてZ、Dvを更新し(ステップ2008)、以後、ステップ2004に飛び、遅延量を△D調整して以降の処理を繰り返す。

以上の処理を繰り返してステップ2005においてd≥TsとなればDvを遅延部81に設定する(ステップ2009)。

【0043】

以上、遅延量Dvを調整することにより、トータルの遅延時間(D₀+D₁+Dv)がサンプリング周期Tsの整数倍となるようにでき、精度の高い歪補償装置各部のタイミング合わせが可能になる。又、送信電力增幅器及び帰還系等のトータルの遅延時間は遅延部がなければ(D-Dv)となり、遅延部があればDとなり、高精度の遅延時間測定ができる。

以上では、遅延時間Dを遅延回路に設定した後、遅延量Dvを決定したが、遅延時間Dを遅延回路に設定せずDvを決定することができる。かかる場合には、送信

信号とフィードバック信号の位相（時間ずれ）をステップ2001で求めたDに固定し、ステップ2006において、相関Rを演算し、以後、相関Rが最大となる遅延量dを求め、 $D_v = d$ とする。そして、最後に、遅延時間Dを遅延回路51h、61b、61gに設定すると共に、遅延量 D_v を遅延部81に設定する。

又、図10ではスライディング相関器を用いた例を示したが、スライディング相関器の代りにマッチトフィルタを用いて構成することもできる。

【0044】

(b) 第2実施例

図12は高精度で遅延時間を決定及び設定する第2実施例の構成図であり、第1実施例と同一部分には同一符号を付している。第1実施例と異なる点は、遅延部81をアナログフィルタで構成する点である。すなわち、遅延部81は、遅延量が ΔD づつ増加する多数のアナログフィルタ81a₁～81anと、所定のアナログフィルタから出力するフィードバック信号を選択して出力するセレクタ81bを備えている。遅延時間決定部71は、図11のステップ2004において遅延量を ΔD だけ増加する必要が生じれば、フィルタ切替信号FCCを遅延部81に入力する。遅延部81はフィルタ切替信号FCCを受信すれば、アナログフィルタを切り替え遅延量を ΔD 増加する。

【0045】

(c) 第3実施例

図13は高精度で遅延時間を決定及び設定する第3実施例の構成図であり、第1実施例と同一部分には同一符号を付している。第1実施例と異なる点は、遅延部81をFIR型ディジタルフィルタで構成する点である。すなわち、遅延部81は、サンプリング周期づつ入力信号を遅延するn個の従属接続された遅延回路DL₀～DL_{n-1}、各遅延回路出力にタップ係数C₀～C_{n-1}を乗算するn個の乗算器MP₀～MP_{n-1}、各乗算器出力を加算して出力する加算器ADDで構成されている。FIR型ディジタルフィルタはタップ係数を変えることにより遅延時間を調整することができる。図14(a)は4倍オーバサンプルの場合のタップ係数例、図14(b)は3/4オーバサンプリング周期だけ位相をずらした場合のタップ係数例である。

遅延時間決定部71は、図11のステップ2004において遅延量を ΔD だけ増加

する必要が生じれば、タップ係数切替制御信号TCCをデジタルフィルタ構成の遅延部81に入力する。遅延部81はタップ係数切替制御信号TCCを受信すれば、タップ係数 $C_0 \sim C_{n-1}$ を変更し遅延量を ΔD 増加する。

【0046】

(d) 第4実施例

図15は高精度で遅延時間を決定及び設定する第4実施例の構成図であり、第1実施例と同一部分には同一符号を付している。第1実施例と異なる点は、遅延部81をAD変換器51eのサンプリングクロックの位相を変化させるクロック位相可変回路で構成する点である。すなわち、遅延部81は、サンプリングクロック発生部CLGとクロック位相を ΔD づつ可変するクロック位相遅延素子CDEを備えている。遅延時間決定部71は、図11のステップ2004において遅延量を ΔD だけ増加する必要が生じれば、クロック位相変更信号CPCを遅延部81に入力する。遅延部81はクロック位相変更信号を受信すれば、サンプリングクロックの位相を ΔD 増加してAD変換器51eに入力する。この結果、サンプリングタイミングが ΔD 増加し、その分、遅延時間が大きくなる。

【0047】

(F) 歪補償制御時における遅延時間制御

以上の実施例は、歪補償動作前に遅延時間を決定して遅延回路に設定する例であるが、以下では、歪補償動作中に発生する遅延時間変動に対する制御の実施例を示す。

(a) 第1実施例

図16は歪補償動作中に発生する遅延時間変動を零とするように制御する実施例であり、図15と同一部分には同一符号を付している。異なる点は、

- (1) DLL(Delay Locked Loop)回路91を設けている点、
- (2) 該DLL回路91に、遅延回路61bから出力する送信信号AとAD変換器51eから出力するフィードバック信号Bを入力する点、
- (3) DLL回路91から出力する遅延制御DCS信号をDv設定部92を介して遅延部81に入力する点、
- (4) DLL回路91において両信号の位相差が零となるように制御する点、

である。

【0048】

図17はDLL回路の原理説明図であり、図18はDLLのSカーブ説明図である。DS-CDMA技術を用いた通信において、移動局は送信側拡散符号の位相を1チップ以内の精度で検出し(同期捕捉)、以後、該位相に同期して受信側における逆拡散のための拡散符号列を発生して逆拡散を行う。ところで、同期捕捉しても何もしなければ変調や雑音の影響で同期位置を見失ってしまう。このため、一度同期捕捉に成功した受信信号に対して受信側の拡散符号列が時間ずれを起こさないように制御する必要がある(同期追跡)。かかる同期追跡回路としDLL回路が知られている。図16の実施例においては、このDLL回路を使用して遅延時間の変動に対する制御を行う。

【0049】

図17において、91aはチップ周波数で変化するPN系列(参照拡散符号)Aを発生するPN発生器であり、PN系列Aは1周期Nチップで構成され、1シンボル期間($=N \cdot T_c$)毎に循環的に発生するようになっている。91bは1チップ周期Tc分だけPN系列(参照拡散符号)Aを遅延してPN系列A'を出力する遅延回路、91cはPN発生器より出力するPN系列Aと受信拡散データ列Bをチップ毎に乗算する乗算器、91dは1チップ遅延したPN系列A'と受信拡散データ列Bをチップ毎に乗算する乗算器、91eは乗算器91cの出力と乗算器91dの出力の符号を反転したものを加算する加算器、91fはローパスフィルタ、91gは電圧制御発振器(VCO)で、ローパスフィルタ出力に基づいてクロック周波数(チップ周波数)を可変するものである。

【0050】

乗算器91c及びローパスフィルタ91fはPN系列Aと受信拡散データ列Bの相関を演算する機能を備え、PN系列Aと受信拡散データ列Bの位相が一致していれば最大になり図18(a)に示すように1シンボル($=N$ チップ)毎に1チップ周期幅の相関値 $R(\tau)=1$ を出力し、位相が1チップ周期以上ずれると相関値 $R(\tau)$ は $1/N$ になる。乗算器91d及びローパスフィルタ91fは1チップ周期遅延したPN系列A'と受信拡散データ列Bの相関を演算する機能を備え、PN系

列A' と受信拡散データ列Bの位相が一致していれば最大になり図18(b)に示す相関値R(τ)を出力し、位相が1チップ周期以上ずれると相関値R(τ)は1/Nになる。加算器91は乗算器91cの出力と乗算器91dの出力の符号を反転したものを加算することにより、位相差 τ に対して図18(c)に示すSカーブ特性を有する信号をローパスフィルタ91fを介して出力する。

【0051】

電圧制御発振器91gは、ローパスフィルタ出力に基づいて位相差 τ が0となるようにクロック周波数を制御する。例えば、PN系列(参照拡散符号)Aの位相が受信拡散符号Bに対して進めばクロック周波数を小さくして位相差が0となるように制御し、又、PN系列(参照拡散符号)Aの位相が受信拡散符号Bに対して遅れればクロック周波数を高くして位相差が0となるように制御する。

図16の実施例におけるDLL回路91として図17の点線枠内の構成を用い、PN系列Aの代わりに遅延回路61bから出力する送信信号を用い、受信信号Bの代わりにAD変換器51eから出力するフィードバック信号を用い、フィルタ出力Cを遅延部81に入力する。

以上より、図16の実施例において、DLL回路91をオフした状態で図10、図11で説明した方法により、遅延時間D、遅延量Dvを算出し、これらを遅延回路51h, 61b, 61g、遅延部81に設定する。ついで、DLL回路を作動させれば、DLL回路91は、遅延回路61bから出力する送信信号AとAD変換器51eから出力するフィードバック信号Bの位相差に対して図18(c)に示す特性を示し、該差が零となるように位相制御を行う。

【0052】

(b) 第2実施例

図19は歪補償動作中に相関出力を監視し、遅延変化に対し追従する機能を有する歪補償装置の実施例であり、図1と同一部分には同一符号を付している。異なる点は、遅延時間決定部71の構成である。遅延時間決定部71において、71aは相関器、71bは制御部、74aは初期動作時に決定された遅延時間Dを記憶する記憶部、74bは初期動作時に測定した遅延時間Dと歪補償動作中に測定した遅延時間D'の差を出力する比較部、74cは初期動作時に相関器出力(

相関値)を制御部71bに入力し、歪補償動作時に相関値を比較器74bに入力する切替部である。

【0053】

制御部71bは、初期動作時、送信信号とフィードバック信号の相関のうち最大相関を発生するタイミングに基づいて遅延時間Dを決定して各遅延回路51h,61b,61gに設定する。又、制御部71bは、歪補償動作中比較器出力に基づいて初期動作時に測定した遅延時間Dと歪補償動作中に測定した遅延時間D'の差が閾値を越えたか監視し、越えれば、歪補償動作を停止し、もしくは歪補償係数の更新動作を停止し、遅延時間の再決定及び遅延回路への再設定を行う。

歪補償動作中はサンプリング同期で歪補償係数記憶部51fにおける歪補償係数が更新されている。フィードバック系等の遅延が経年変化などにより変化する、隣接チャネル漏洩電力が増える。そこで、歪補償動作中に送信信号とフィードバック信号の相関を求め、相関値のピークタイミングD' と初期動作時におけるピークタイミングDとの差がある閾値内にあるか監視する。閾値を超えるれば、歪補償係数の更新をストップし、遅延時間の再決定を行い、決定した遅延時間を遅延回路に再設定する。

【0054】

(c) 第3実施例

図20は歪補償動作中に歪補償装置の減算器61aの出力を監視し、誤差がある閾値を超えた場合に遅延の再調整を行う歪補償装置の実施例であり、図1と同一部分には同一符号を付している。異なる点は、遅延時間決定部71の構成である。遅延時間決定部71において、71aは相関器、71bは制御部、75aは歪補償装置の減算器61aから出力する誤差eと閾値 e_{TH} を比較する比較器、75bは初期動作時に相関器出力(相関値)を制御部71bに入力するスイッチである。

【0055】

制御部71bは、初期動作時、送信信号とフィードバック信号の相関のうち最大相関を発生するタイミングに基づいて遅延時間を決定して各遅延回路51h,61b,61gに設定する。又、歪補償動作中、比較部75aは減算器61aから出力する

誤差 e と閾値 e_{TH} を比較し、比較結果を制御部71bに入力する。制御部71bは $e > e_{TH}$ となれば歪補償動作を停止し、もしくは歪補償係数の更新動作を停止し、遅延時間の再決定及び遅延回路への再設定を行う。

すなわち、設定した遅延時間に変化がなければ、歪補償係数はある値に収束し、減算器61aから出力する誤差 e は小さくなる。しかし、送信電力増幅器やフィードバックループで生じる遅延に変化があると、減算器61aから出力する誤差 e が増大する。そこで、この誤差 e がある閾値 e_{TH} 以上になったとき、歪補償係数の更新を一時停止し、遅延の再調整／再設定を行った後に歪補償装置を動作させる。

【0056】

(G) 相関演算に際して所定の参照信号を使用する実施例

(a) 第1実施例

図21は電源投入時にトレーニングデータ $r(t)$ を用いて遅延調整を行う場合の実施例であり、図1と同一部分には同一符号を付している。異なる点は、(1)送信信号発生部61、トレーニングデータ発生部62、初期動作時にトレーニングデータ $r(t)$ を選択し、歪補償動作時に送信データ $x(t)$ を選択するスイッチ63、初期動作時にオンし、歪補償動作時にオフするスイッチ64を設けた点、(2)遅延時間決定部71をマッチトフィルタ71aと制御部71とで構成し、マッチトフィルタ71aの乗算器 $MP_0 \sim MP_n$ の一方の入力端子に既知のトレーニングデータ $T_0, T_1, T_2, \dots, T_n$ を固定的に入力している点である。

【0057】

トレーニング時、トレーニングデータ発生装置62は既知のトレーニングデータ $T_0, T_1, T_2, \dots, T_n$ を発生し、スイッチ63は該トレーニングデータ $r(t)$ を選択して歪補償装置に入力する。又、スイッチ64はオンしてA/D変換器51eから出力するフィードバックデータを遅延時間決定部71のマッチトフィルタ71aに入力し、そのシフトレジスタSFRにシフトしながら記憶する。

マッチトフィルタ71aの乗算器 $MP_0 \sim MP_n$ の一方の入力端子には既知のトレーニングデータ $T_0, T_1, T_2, \dots, T_n$ が固定的に入力しているから、マッチトフィルタ71aはまずシフトレジスタSFRに記憶されたn個のフィードバックデータ

とn個のトレーニングデータ $T_0, T_1, T_2, \dots, T_n$ との乗算を行い、乗算結果を加算器ADDで加算して遅延時間 $0 \cdot Ts$ の相関値を制御部71bに入力する。次のサンプリング時刻においてシフトレジスタSFRの内容がシフトし、マッチトフィルタ71aはシフト後のn個のフィードバックデータとn個のトレーニングデータ $T_0, T_1, T_2, \dots, T_n$ との乗算を行い、加算器ADDで加算して遅延時間 $1 \cdot Ts$ の相関値を制御部71bに入力する。以後、同様に、遅延時間 $0 \cdot Ts \sim (N-1) \cdot Ts$ の相関値が演算され、制御部71bは相関値が最大となるタイミング基づいて遅延時間を決定し、各遅延回路51h, 61b, 61gに設定する。

トレーニング信号を用いることにより、相関器入力信号の送信信号(参照信号)を固定することができ、装置の簡略化を図ることができる。

【0058】

(a) 第2実施例

図22はCDMA送信装置に歪補償装置を付加した場合において、CDMAで常時送信している信号を用いて遅延調整を行う場合の実施例であり、図1と同一部分には同一符号を付している。異なる点は、

(1) 送信データ $x(t)$ を発生する送信データ発生部61、送信データに挿入する制御データ $c(t)$ を発生する制御データ発生部65、送信データ $x(t)$ に制御データ $c(t)$ を合成する合成部66を設けた点、

(2) 遅延時間決定部71をマッチトフィルタ71aと制御部71bとで構成し、マッチトフィルタ71aの乗算器 $MP_0 \sim MP_n$ の一方の入力端子に既知の制御データ $C_0, C_1, C_2, \dots, C_n$ を固定的に入力している点である。

【0059】

遅延時間設定時、合成部66は送信データ $x(t)$ に制御データ $c(t)$ を合成して歪補償装置に入力する。又、フィードバックデータは遅延時間決定部71のマッチトフィルタ71aに入力し、マッチトフィルタ71aはフィードバックデータをシフトレジスタSFRにシフトしながら記憶する。

マッチトフィルタ71aの乗算器 $MP_0 \sim MP_n$ の一方の入力端子には既知の制御データ $C_0, C_1, C_2, \dots, C_n$ が固定的に設定されているから、マッチトフィルタ71aはまずシフトレジスタSFRに記憶されたn個のフィードバックデータとn個

の制御データ $C_0, C_1, C_2, \dots, C_n$ との乗算を行い、乗算結果を加算器 ADD で加算して遅延時間 $0 \cdot Ts$ の相関値を制御部 71b に入力する。次のサンプリング時刻においてシフトレジスタ SFR の内容がシフトし、マッチトフィルタ 71a はシフト後の n 個のフィードバックデータと n 個の制御データ $C_0, C_1, C_2, \dots, C_n$ との乗算を行い、加算器 ADD で加算して遅延時間 $1 \cdot Ts$ の相関値を制御部 71b に入力する。以後、同様に、遅延時間 $0 \cdot Ts \sim (N-1) \cdot Ts$ の相関値が演算され、制御部 71b は相関値が最大となるタイミングに基づいて遅延時間を決定し、各遅延回路に設定する。

【0060】

CDMA 方式ではパイロット信号や制御信号の様に常に送信している信号が存在する。この信号を用いて遅延調整を行う。例えば制御信号にある一定周期で固定パターンを組み込み、固定パターン送信タイミングに合わせてマッチトフィルタを動作させて相関演算を行わせ、最大相関出力となるタイミングを遅延時間として設定する。

以上では、送信電力の増幅器の歪特性を補償する場合について説明したが、その他の歪デバイスの歪補償にも適用できる。

以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

【0061】

【発明の効果】

以上本発明によれば、歪デバイス、たとえば送信電力増幅器とフィードバックループで生じる遅延時間を送信信号とフィードバック信号との最大相関に基づいて自動的に決定して遅延回路に設定することができる。

又、本発明によれば、送信信号が N オーバサンプリングされていれば、(1) 送信信号 $x(t)$ とフィードバック信号の位相（時間ずれ）を N サンプリング時間単位で順次ずらし相関を求め、ついで、(2) 相関が最大の位相近傍の送信信号とフィードバック信号の相関をサンプリング時間単位で位相を順次ずらして求め、(3) 相関が最大となる位相に基づいて遅延時間を決定するようにしたから、遅延時間

決定に要する時間を短縮できる。

【0062】

又、本発明によれば、相関を複数周期分演算して記憶し、複数周期分の対応するタイミングの相関の平均値を演算し、平均値が最大となるタイミングに基づいて遅延時間を決定するようにしたから、高精度に遅延時間を決定して各遅延回路に設定できる。

又、本発明によれば、相関器として、スライディング相関器またはマッチトフィルタを用い、スライディング相関器を用いれば構成を簡単にでき、又、マッチトフィルタを用いえれば遅延時間を短時間で決定することができる。

又、本発明によれば、遅延時間決定部は、歪補償動作時にも送信信号とフィードバック信号の相関を定期的に演算し、相関が最大となる遅延時間と初期動作時に決定した遅延時間との差が設定時間以上になったとき歪補償動作を停止し、もしくは歪補償係数の更新動作を停止し、遅延時間の再決定及び遅延回路への再設定を行うようにしたから、フィードバック系等の遅延が経年変化などにより変化して隣接チャネル漏洩電力が増えたとき、遅延時間の再決定及び再設定が可能になり歪補償による効果を維持できる。

【0063】

又、本発明によれば、遅延時間決定部は、歪補償動作時に送信信号とフィードバック信号の差を監視し、差がある閾値を超えたとき歪補償動作を停止し、もしくは歪補償係数の更新動作を停止し、遅延時間の再決定及び遅延回路への再設定を行うようにしたから、フィードバックの遅延が経年変化などにより変化して隣接チャネル漏洩電力が増えたとき、前記差が増大するから該差を監視することで遅延時間の再決定及び再設定が可能になり、歪補償による効果を維持できる。

又、本発明によれば、遅延時間決定部は、常時送信されている既知信号が存在する場合、該既知信号とフィードバック信号の相関を演算し、最大相関に基づいて遅延時間を決定するから、相関演算における参照信号を固定でき、このため構成が簡単で、かつ、精度の高い相関演算が可能になる。

【0064】

又、本発明によれば、遅延時間決定部は、遅延時間の決定に際して送信信号に

挿入されるトレーニング信号とフィードバック信号の相関を演算し、最大相関に基づいて遅延時間を決定するようにしたから、相関演算における参照信号を固定でき、このため構成が簡単で、かつ、精度の高い相関演算が可能になる。

又、本発明によれば、DLL回路を用いて遅延時間一定制御をするから、経年変化等でフィードバック系等の遅延時間が変化してもトータルの遅延時間を一定に維持でき、歪補償による効果を發揮することができる。

又、本発明によれば、(1)送信信号のサンプリング時間より短い時間単位でフィードバック信号の遅延量Dvを制御する遅延部をフィードバックループに挿入し、(2)遅延時間決定部は、遅延部における遅延量を一定にした状態で、相関が最大となるサンプリング時間単位の遅延時間を求め、ついで、(3)送信信号とフィードバック信号の相関が最大となるように遅延部の遅延量を調整するようにしたから、高精度の遅延時間の決定及び設定が可能となる。又、遅延部として、(1)アナログフィルタ、(2)デジタルフィルタ、(3)A/D変換器のサンプリングクロック位相可変回路等を使用できる。

【図面の簡単な説明】

【図1】

第1の発明の概略説明図である。

【図2】

第2の発明の概略説明図である。

【図3】

スライディング相関器を用いた遅延時間決定部の第1実施例構成図である。

【図4】

遅延時間決定の処理フローである。

【図5】

スライディング相関器を用いた遅延時間決定部の第2実施例構成図である。

【図6】

遅延時間決定の処理フローである。

【図7】

マッチトフィルタを用いた遅延時間決定部の第1実施例構成図である。

【図8】

マッチトフィルタを用いた遅延時間決定部の第2実施例構成図である。

【図9】

L回の平均相関の最大値に基づいて遅延時間を決定する遅延時間決定部の構成例である。

【図10】

高精度で遅延時間を決定及び設定する第1実施例の構成図である。

【図11】

サンプリング周期以下の高精度で遅延時間を設定するための処理フローである

【図12】

高精度で遅延時間を決定及び設定する第2実施例の構成図である。

【図13】

高精度で遅延時間を決定及び設定する第3実施例の構成図である。

【図14】

遅延時間とタップ係数の関係説明図である。

【図15】

高精度で遅延時間を決定及び設定する第4実施例の構成図である。

【図16】

歪補償動作中に発生する遅延時間変動を零にする制御を行う実施例である。

【図17】

DLL回路の原理説明図である。

【図18】

DLL回路のSカーブ説明図である。

【図19】

歪補償動作中に相関出力を監視し、遅延変化に対し追従する機能を有する歪補償装置の実施例である。

【図20】

誤差が閾値を超えた場合に遅延の再調整を行う歪補償装置の実施例である。

【図21】

電源投入時にトレーニング信号を用いて遅延調整を行う実施例である。

【図22】

CDMAで常時送信している信号を用いて遅延調整を行う場合の実施例である。

【図23】

従来の送信装置の構成図である。

【図24】

送信電力増幅器の非直線性による問題点説明図である。

【図25】

従来のデジタル非直線型歪補償機能を備えた送信装置の構成図である。

【図26】

補償部の機能構成図である。

【図27】

適応LMSアルゴリズムによる歪補償処理説明図である。

【符号の説明】

51a・・プリディストーション部

51b・・DA変換器

51c・・送信電力増幅器

51d・・帰還系

51e・・AD変換器

51f・・歪補償係数記憶部

51h・・書き込みアドレス発生用の遅延回路

51i・・歪補償係数演算部

61a・・減算器

61b・・タイミングを調整する遅延回路

61g・・タイミングを調整する遅延回路

71・・遅延時間決定部

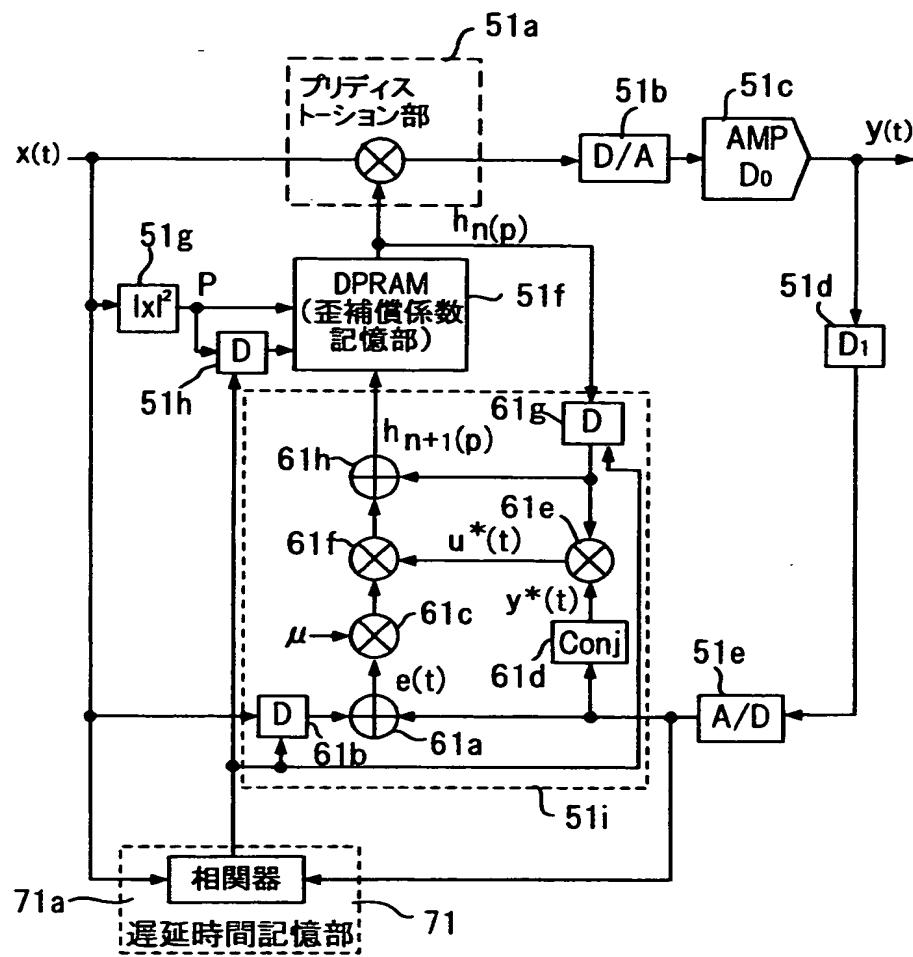
71a・・相関器

81・・遅延部

【書類名】 図面

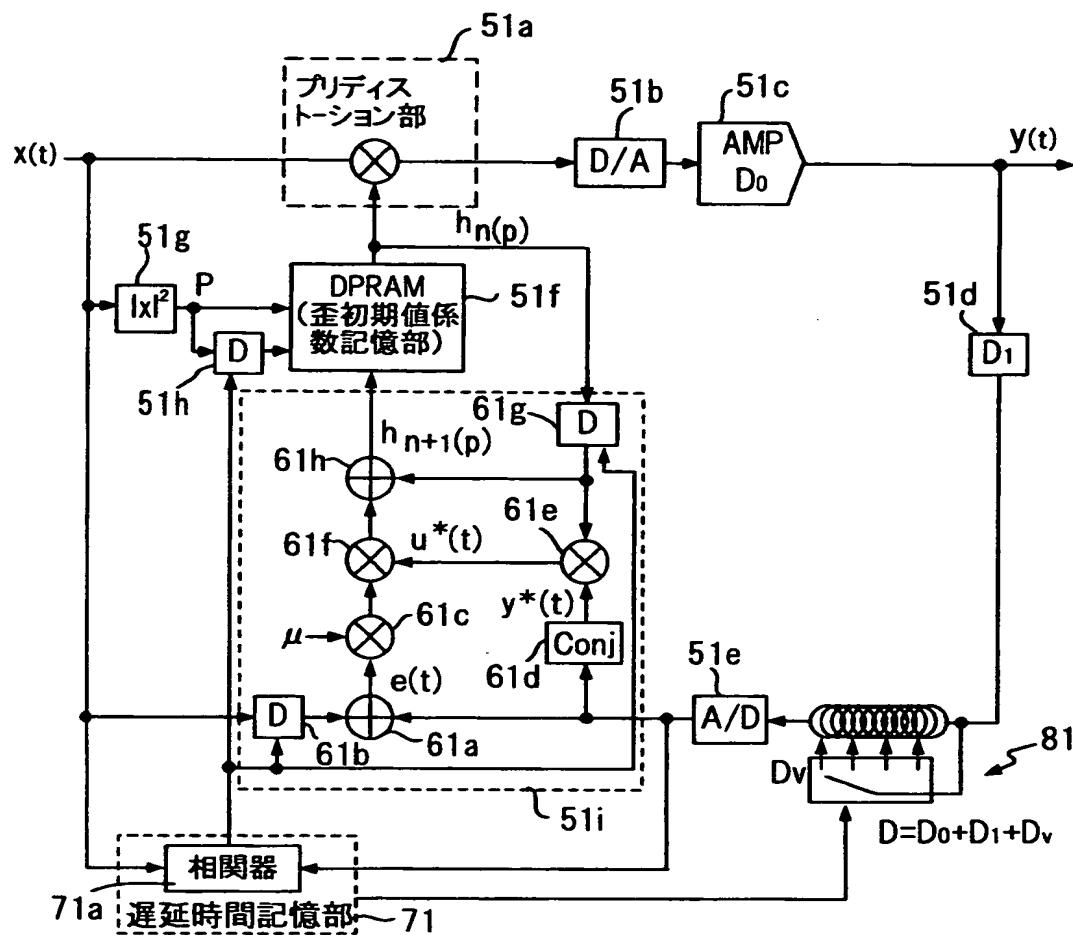
【図1】

本発明の第1の概略説明図



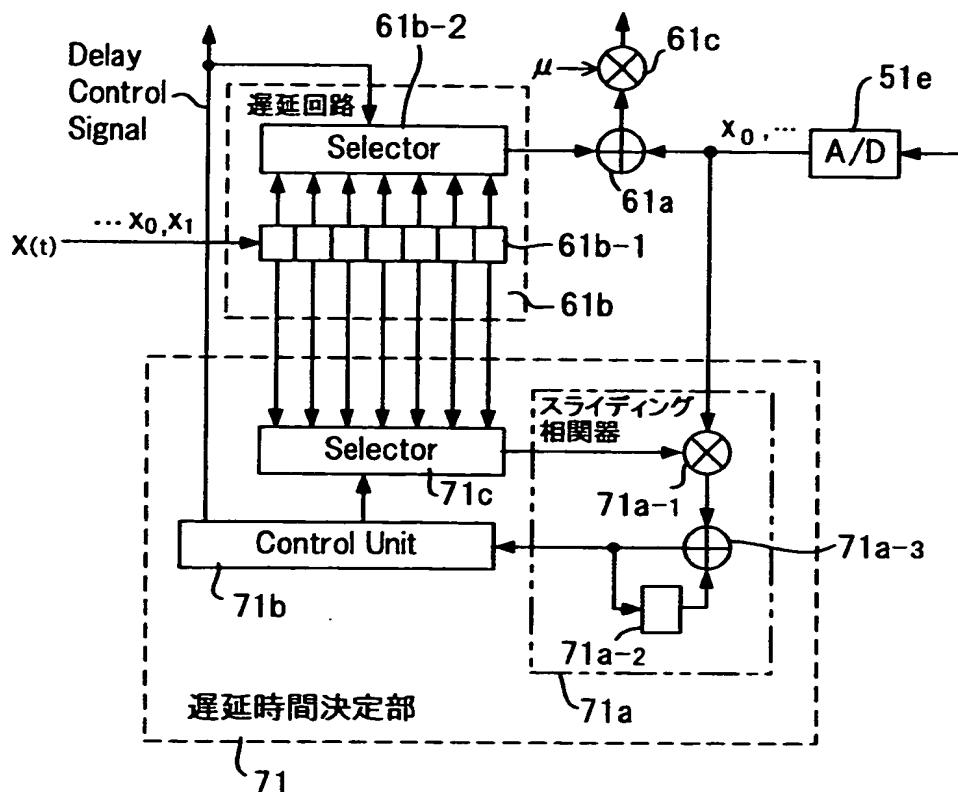
【図2】

本発明の第2の概略説明図



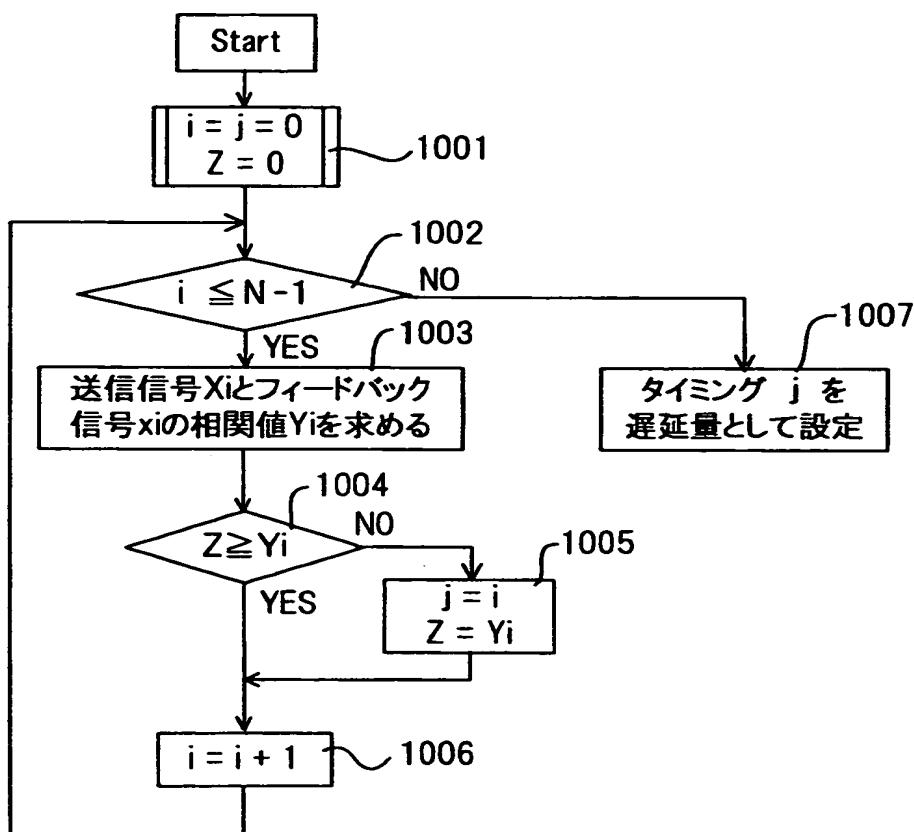
【図 3】

スライディング相関器を用いた遅延時間決定部の構成図



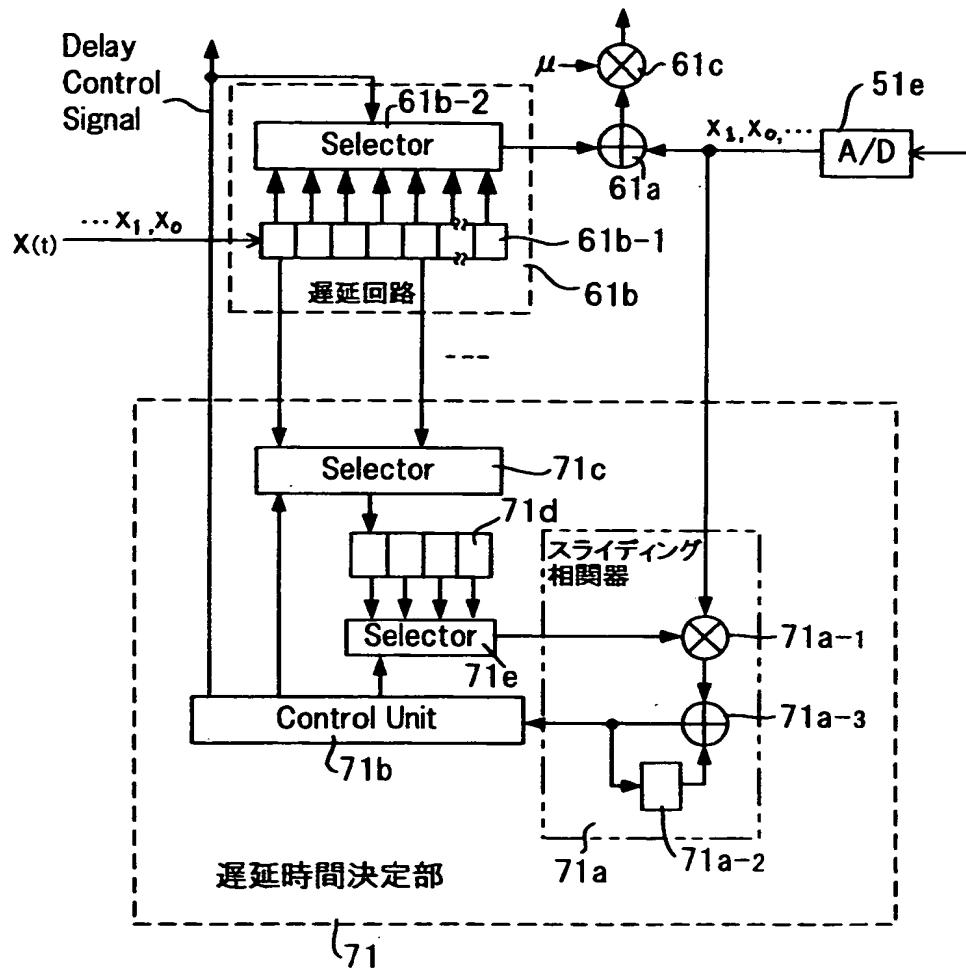
【図4】

遅延時間決定処理フロー

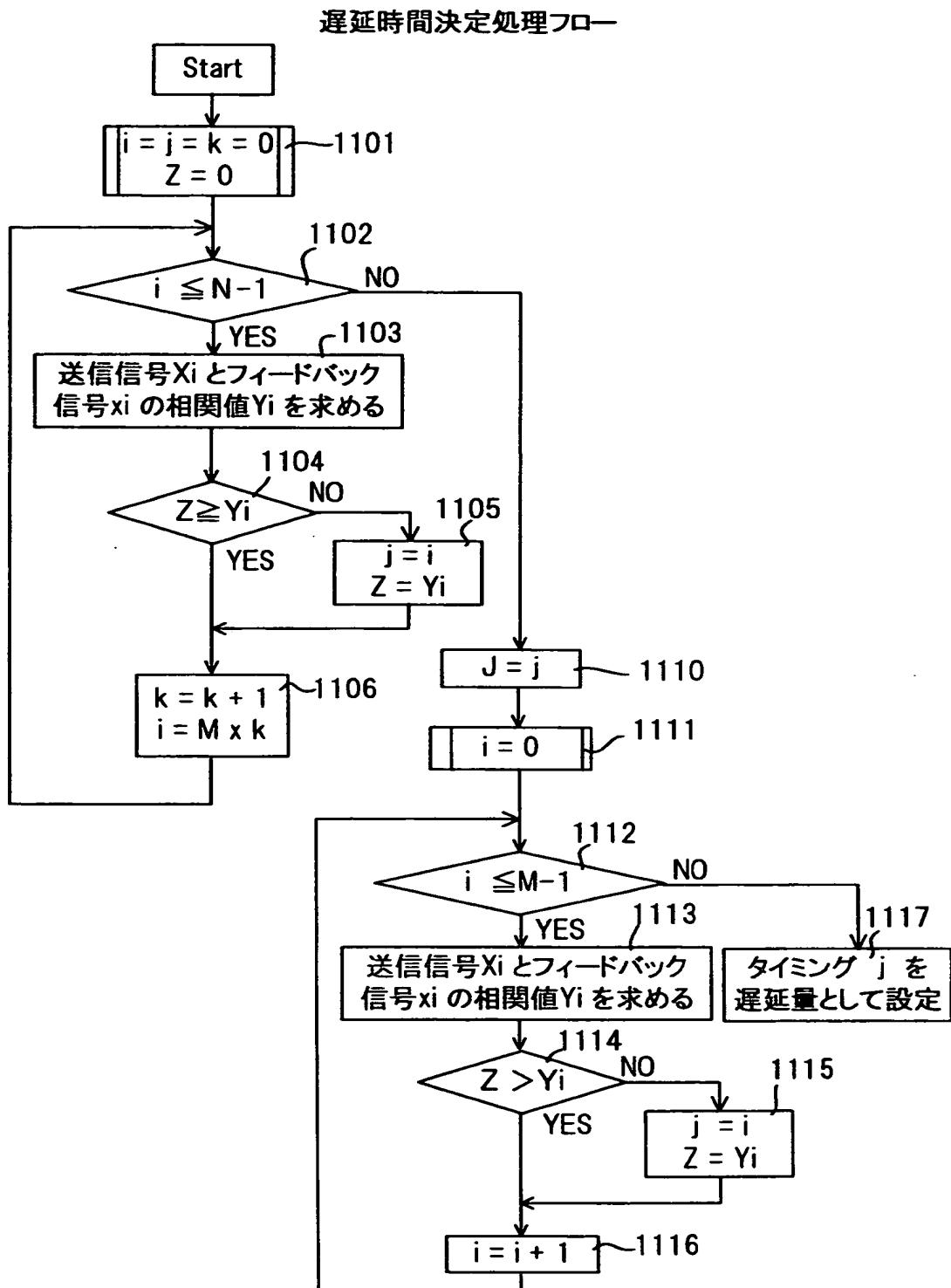


【図5】

スライディング相関器を用いた遅延時間決定部の別の構成図

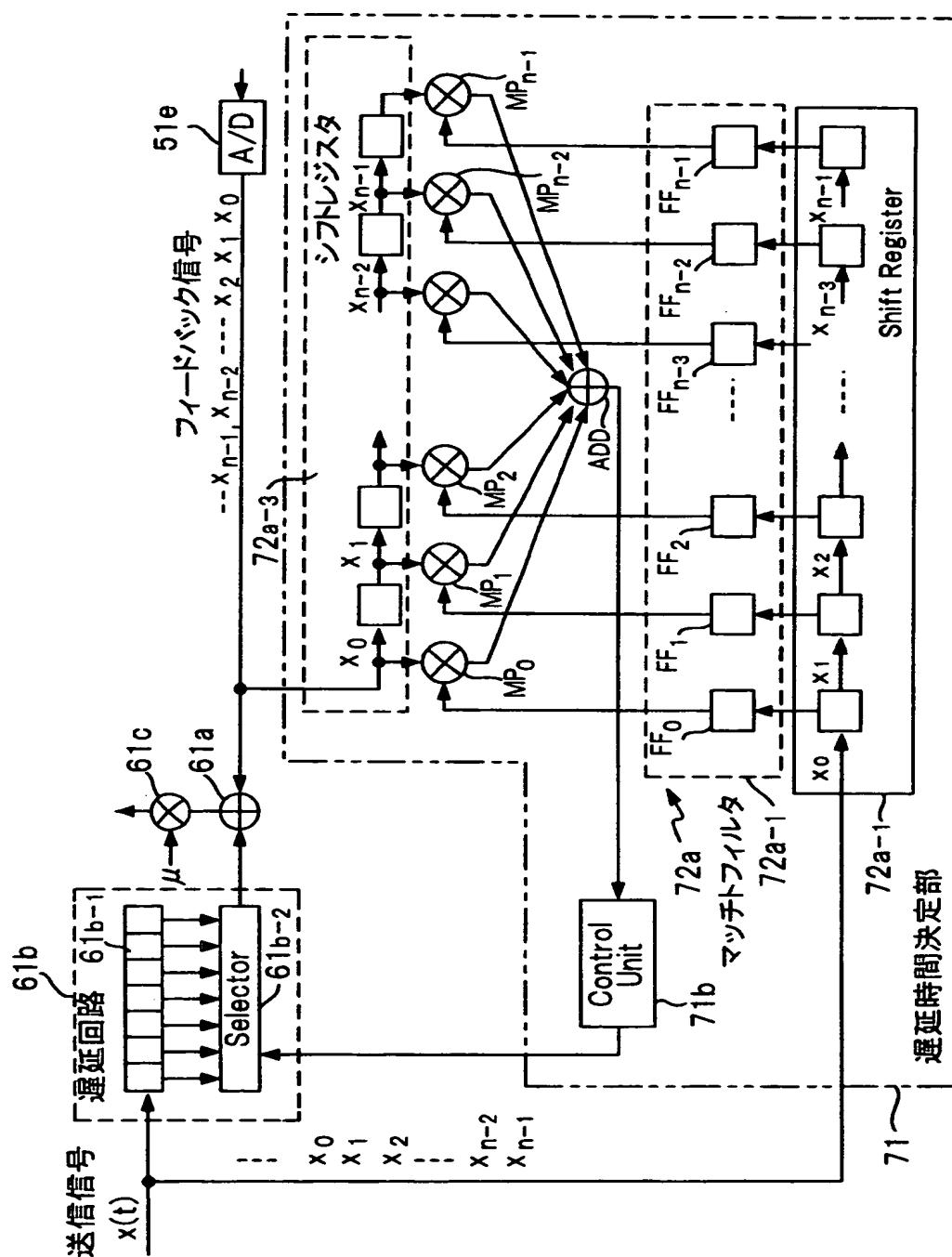


【図6】



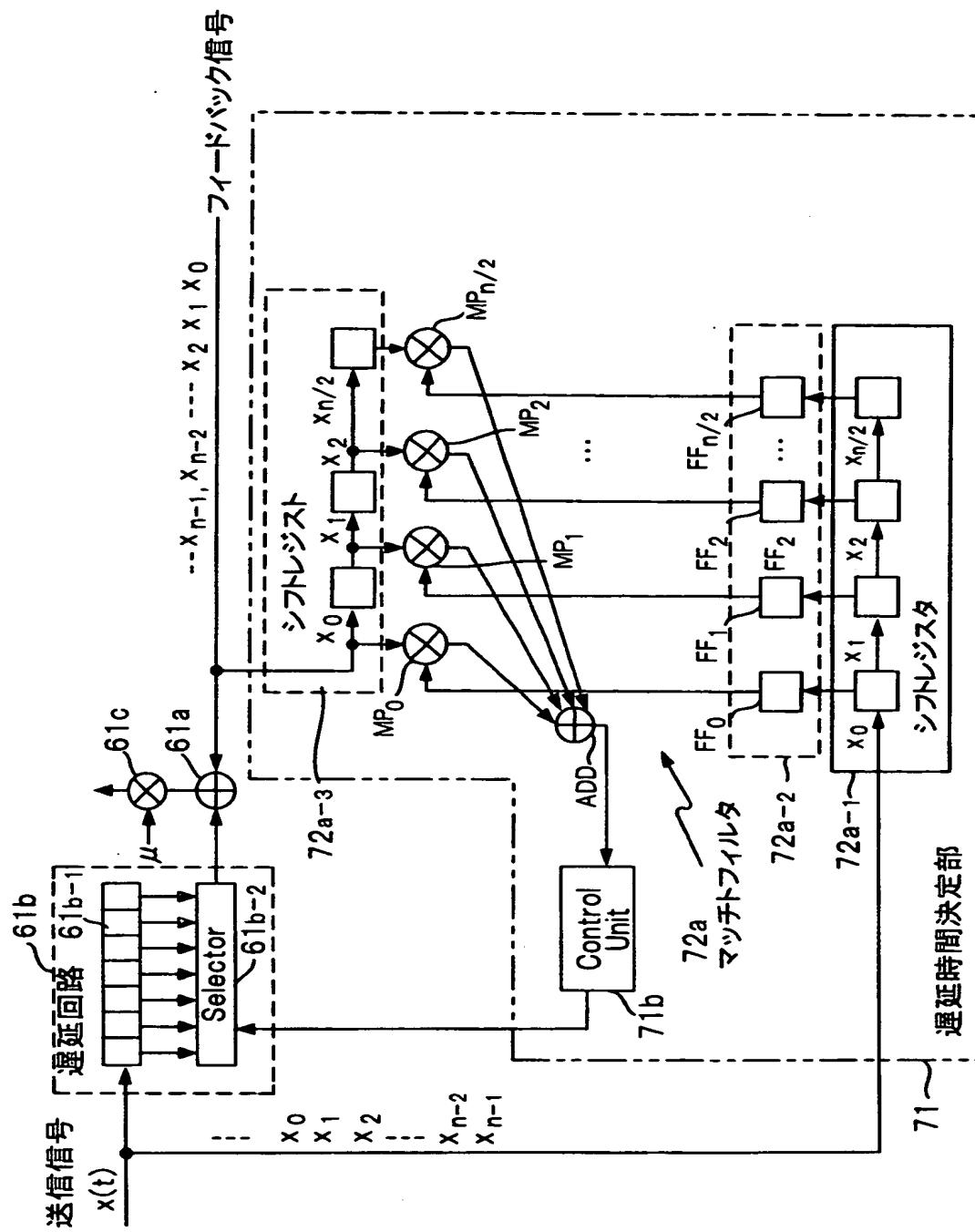
【図7】

マッチトフィルタを用いた遅延時間決定部の構成



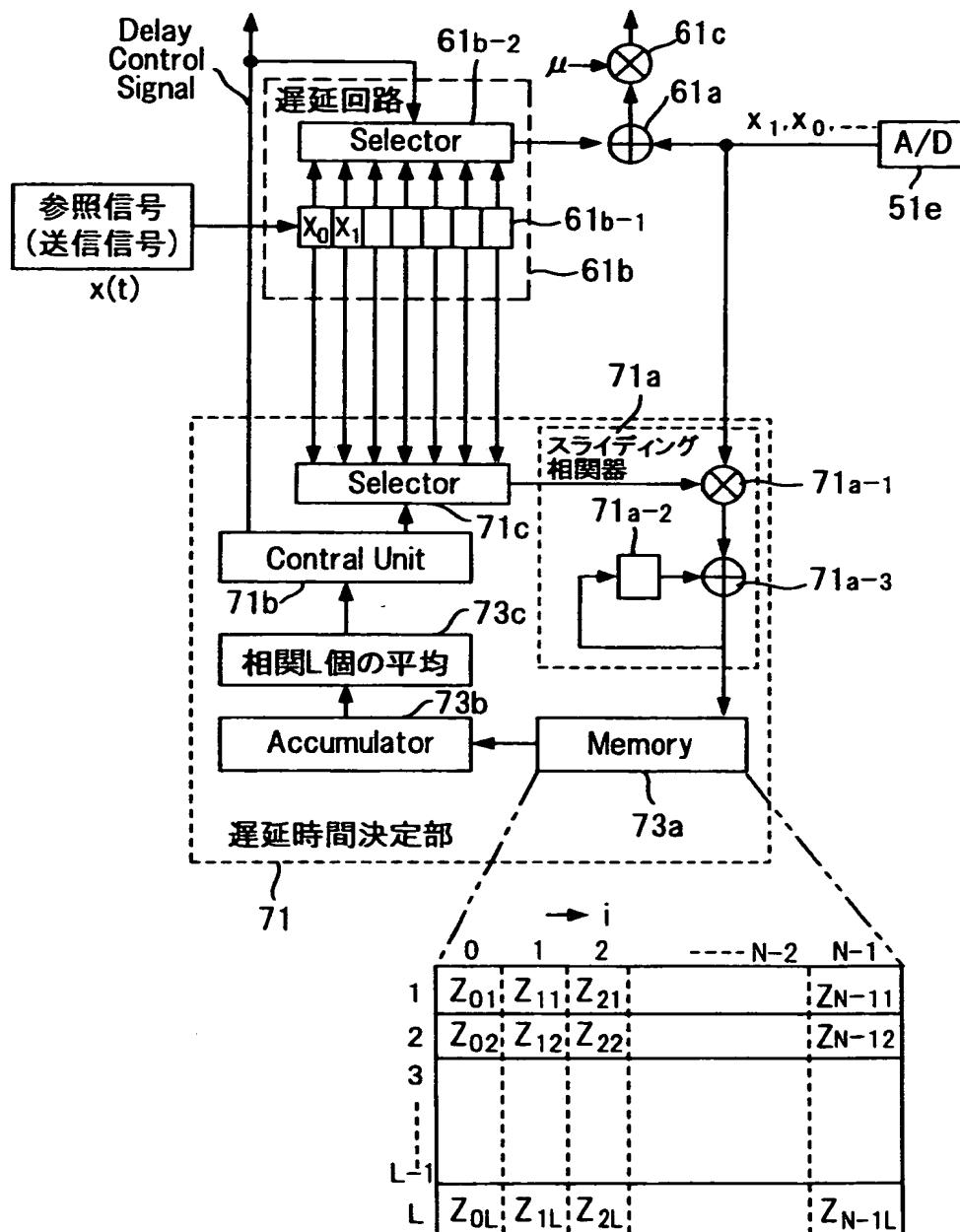
【図 8】

マッチトフィルタを用いた別の遅延時間決定部の構成



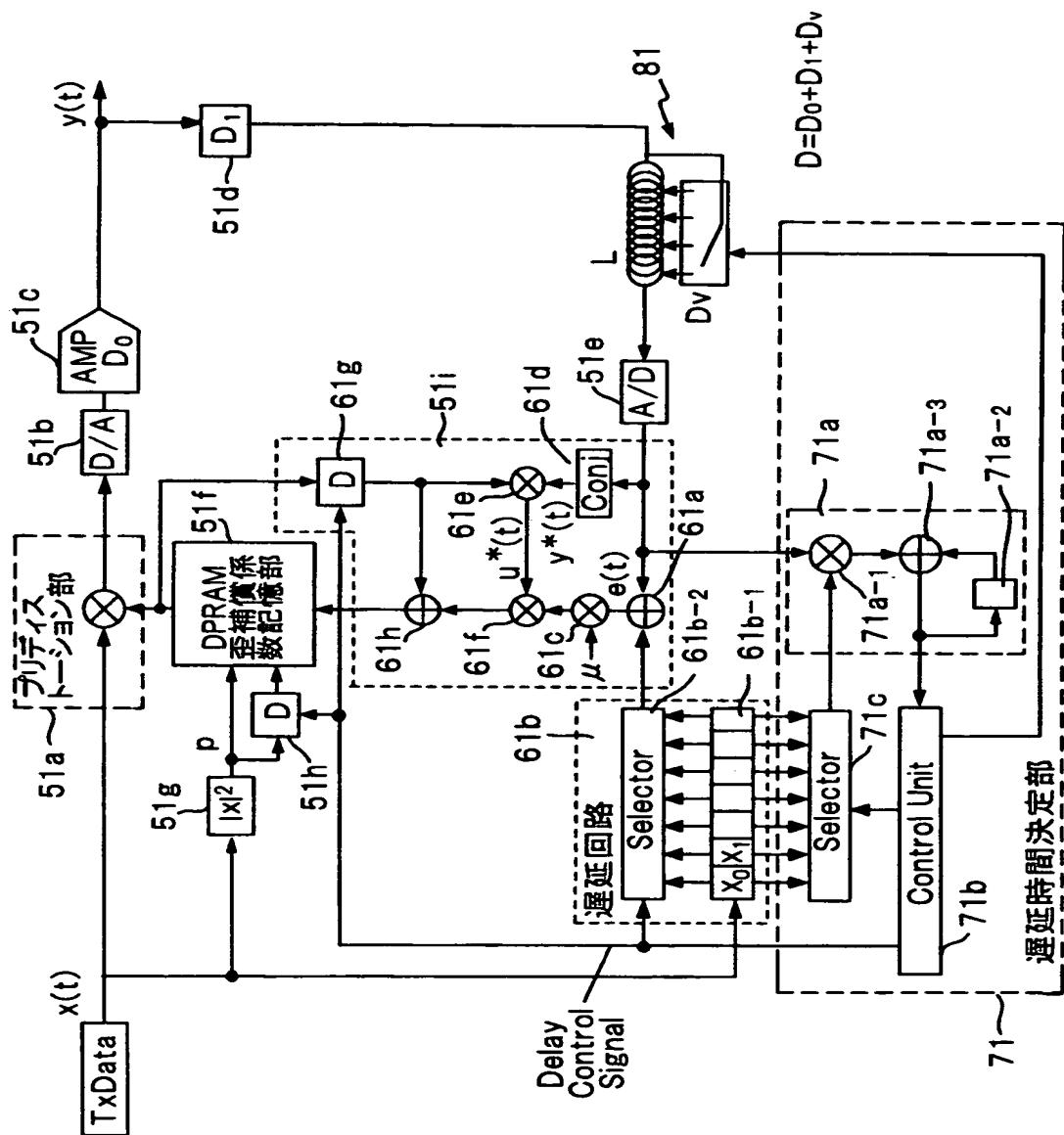
【図9】

L回の平均相関の最大値に基いて
遅延時間を決定する遅延時間決定部の構成



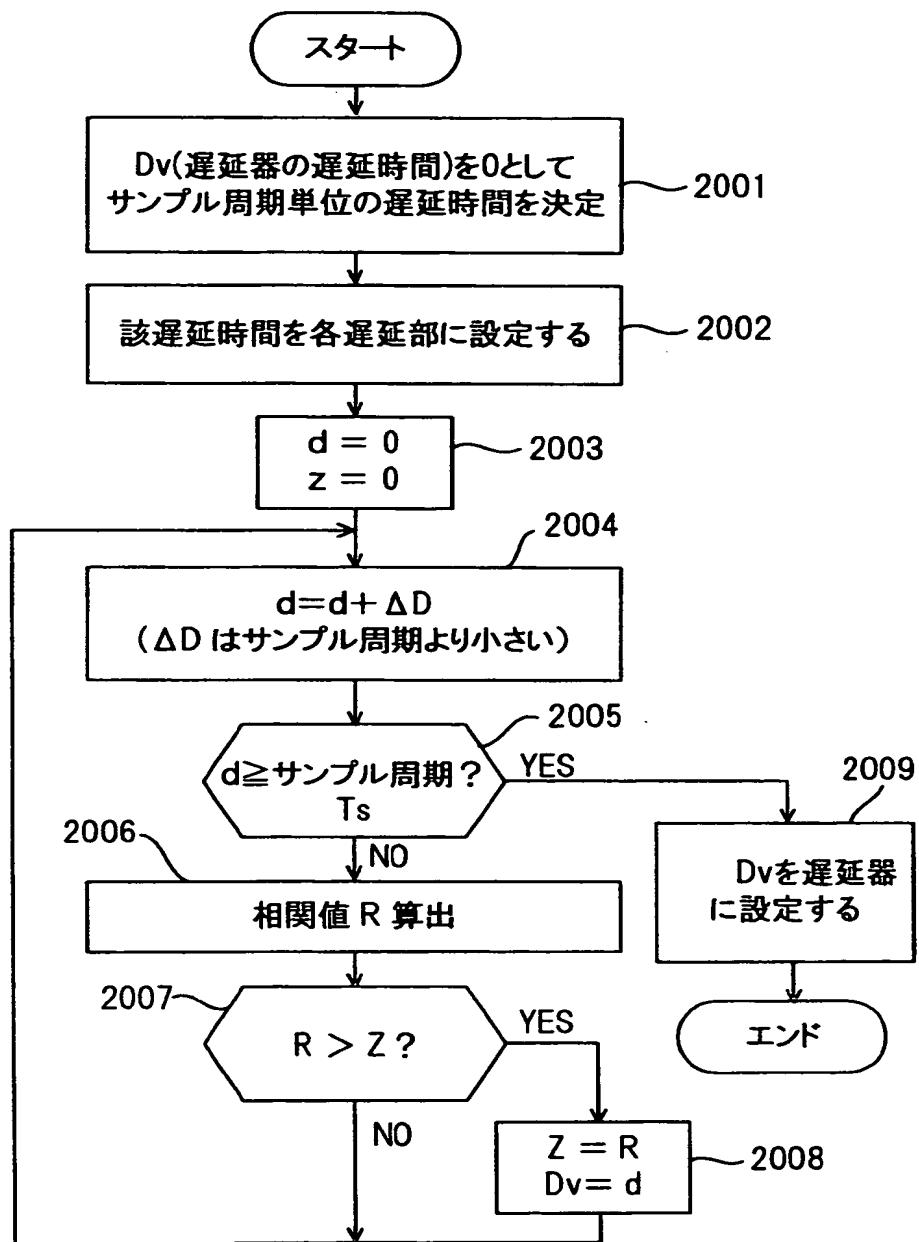
【図10】

高精度で遅延時間を決定及び設定する第1実施例



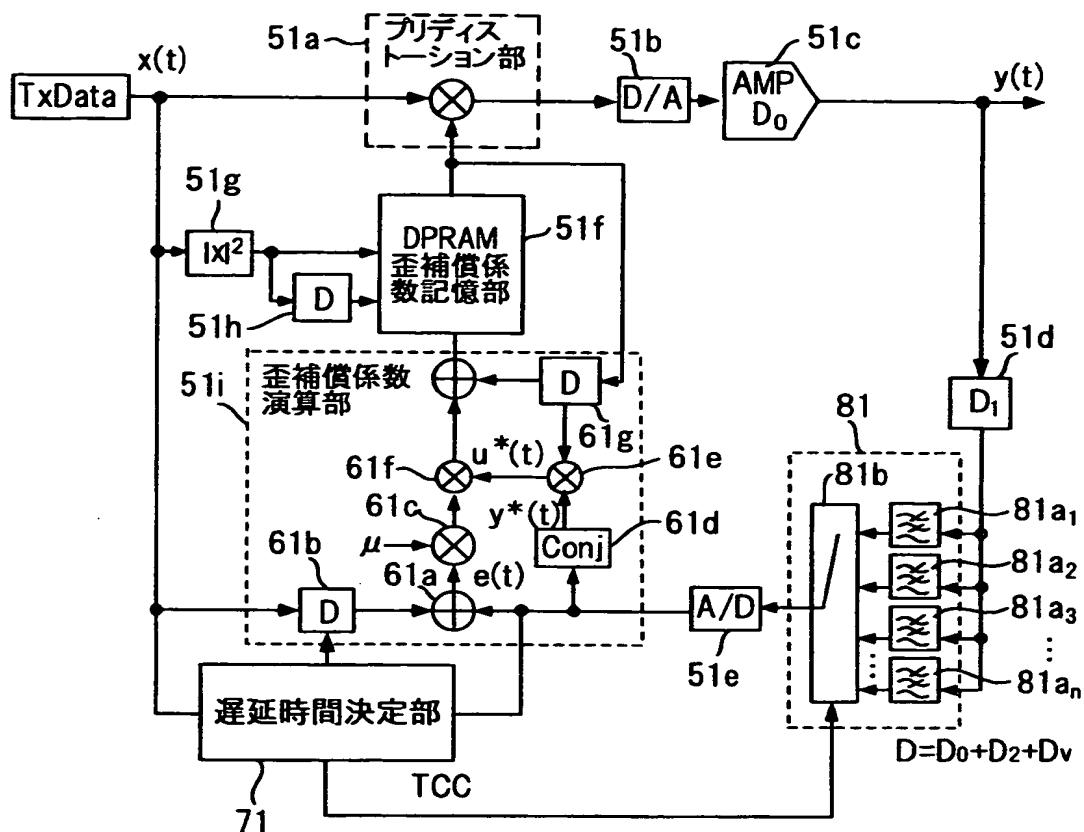
【図11】

サンプル周期以下の高精度で遅延時間を設定するための処理



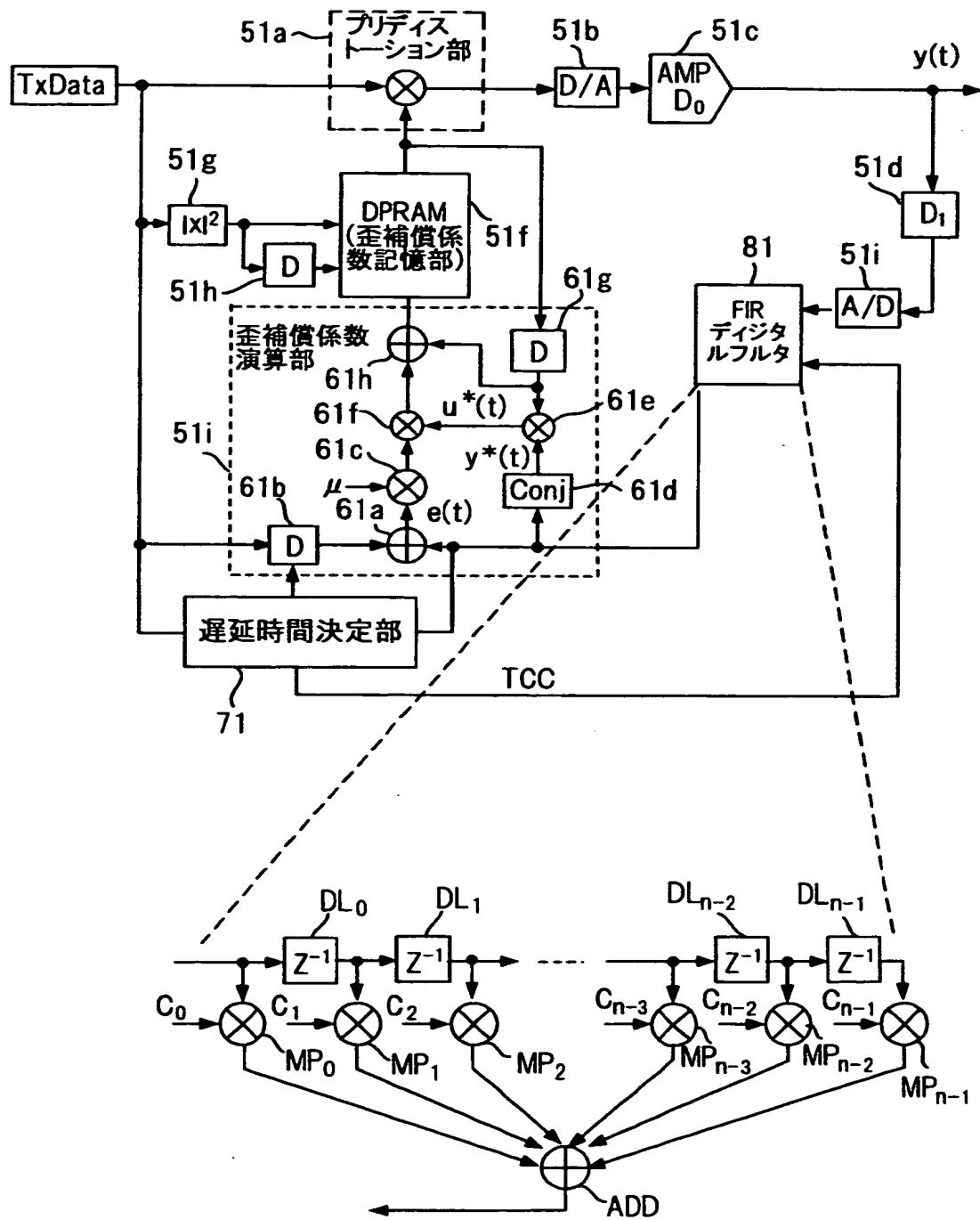
【図12】

高精度で遅延時間を決定及び設定する第2実施例



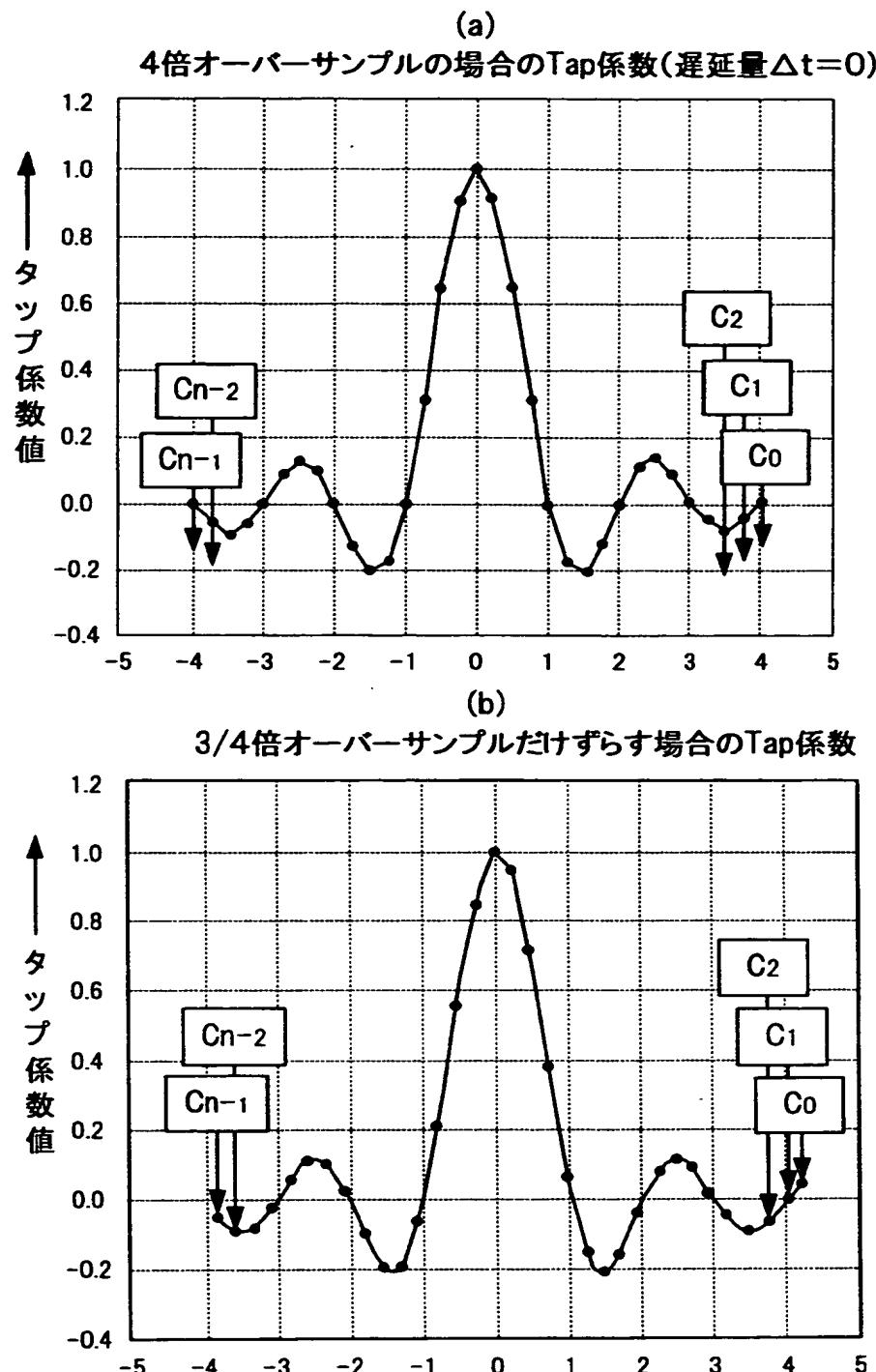
【図13】

高精度で遅延時間を決定及び設定する第3実施例



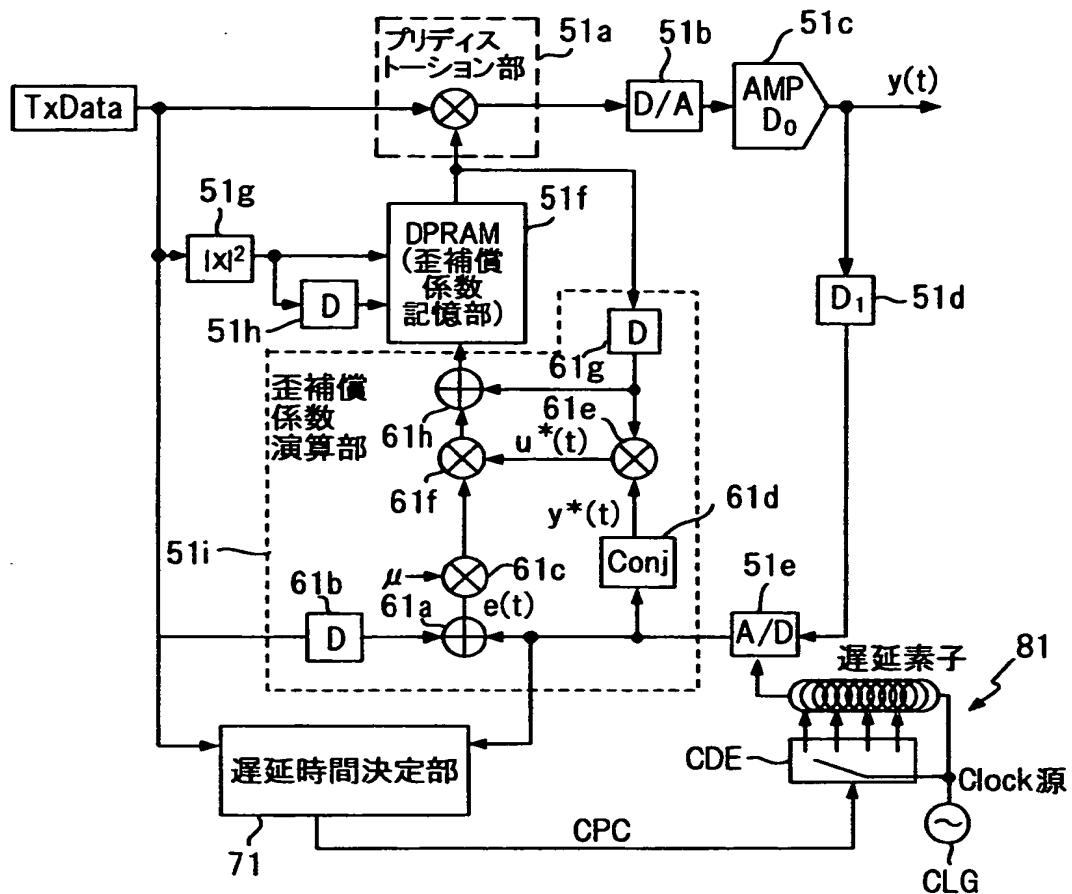
【図14】

遅延時間とタップ係数の関係説明図



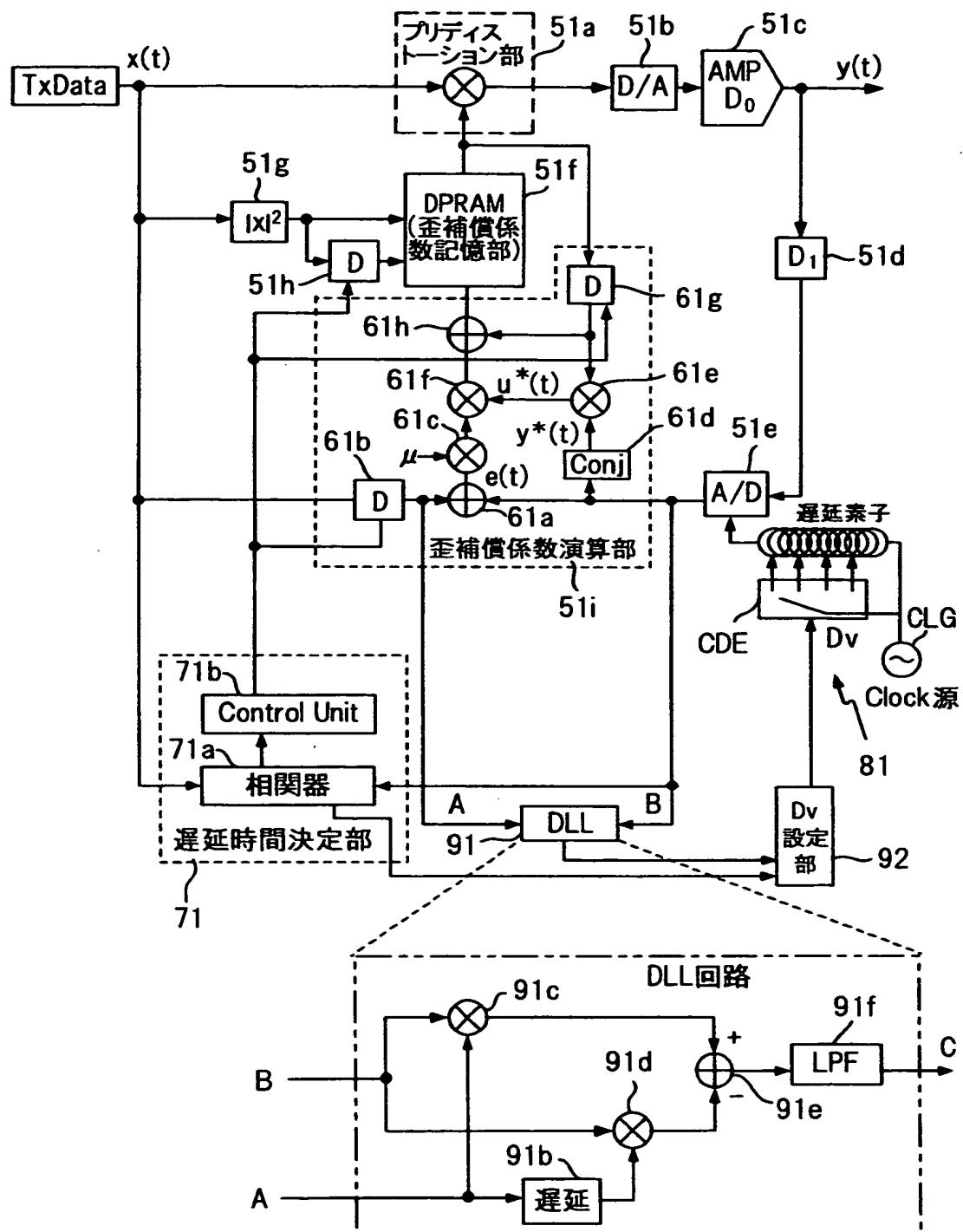
【図15】

サンプル周期以下の高精度で遅延時間を設定する第4実施例の構成

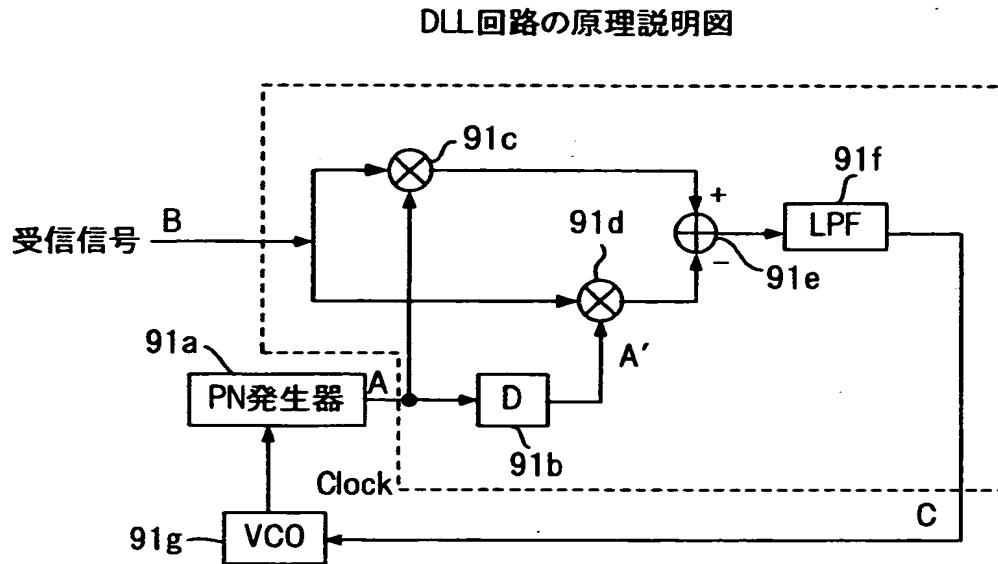


【図16】

遅延時間変動が零となるように制御する実施例

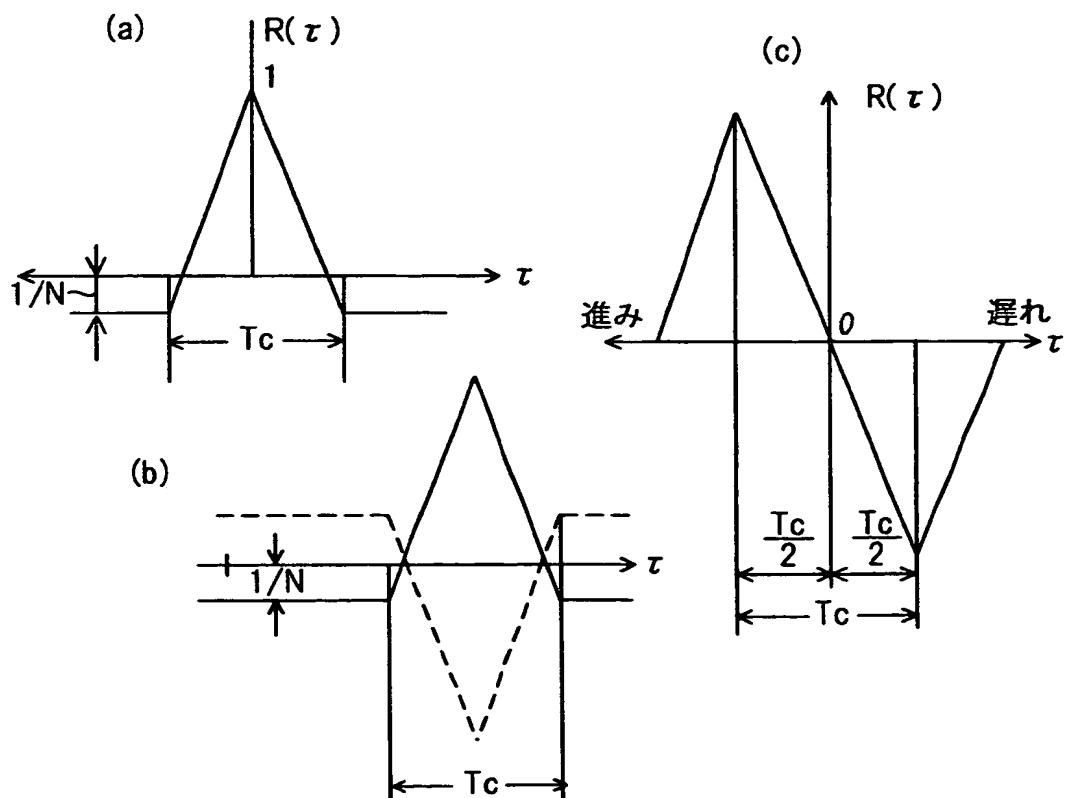


【図17】



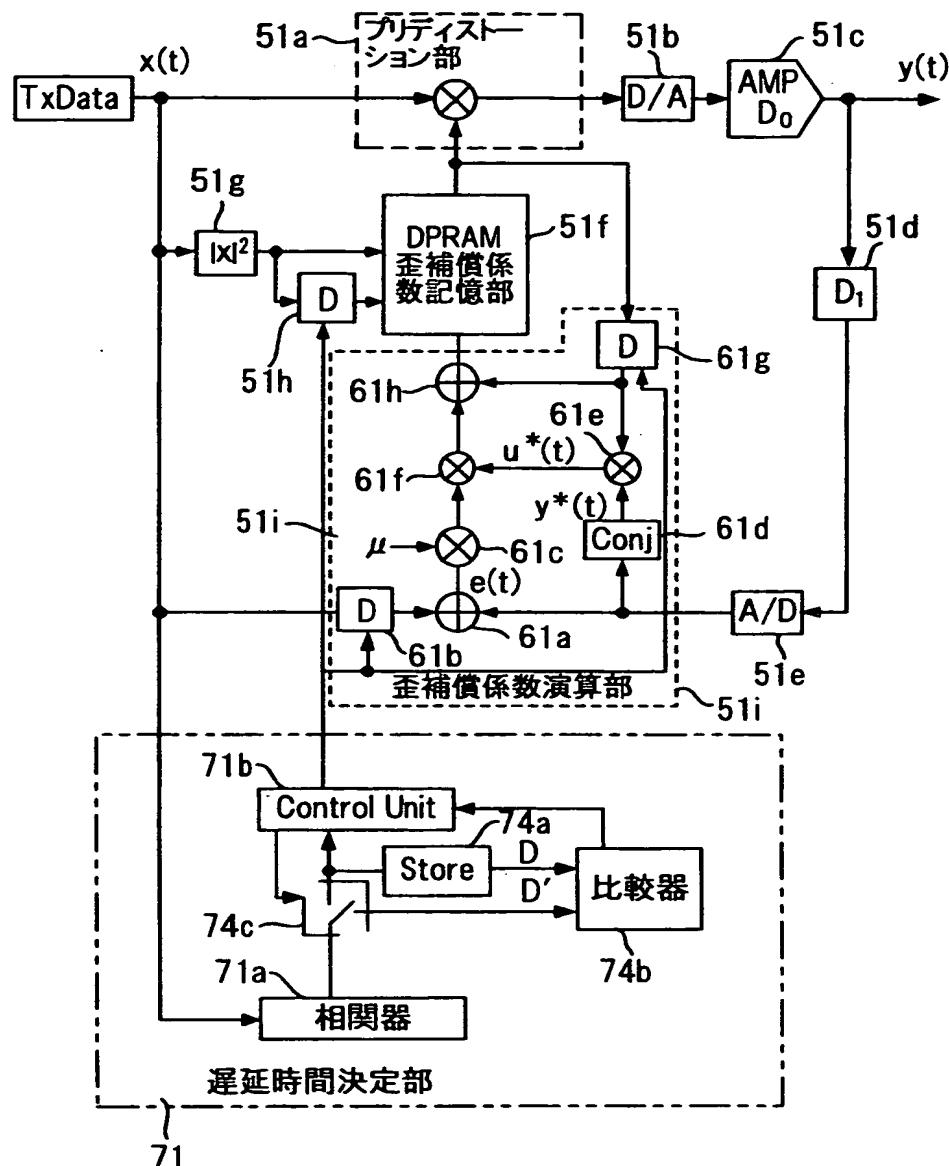
【図18】

DLLのSカーブ説明図



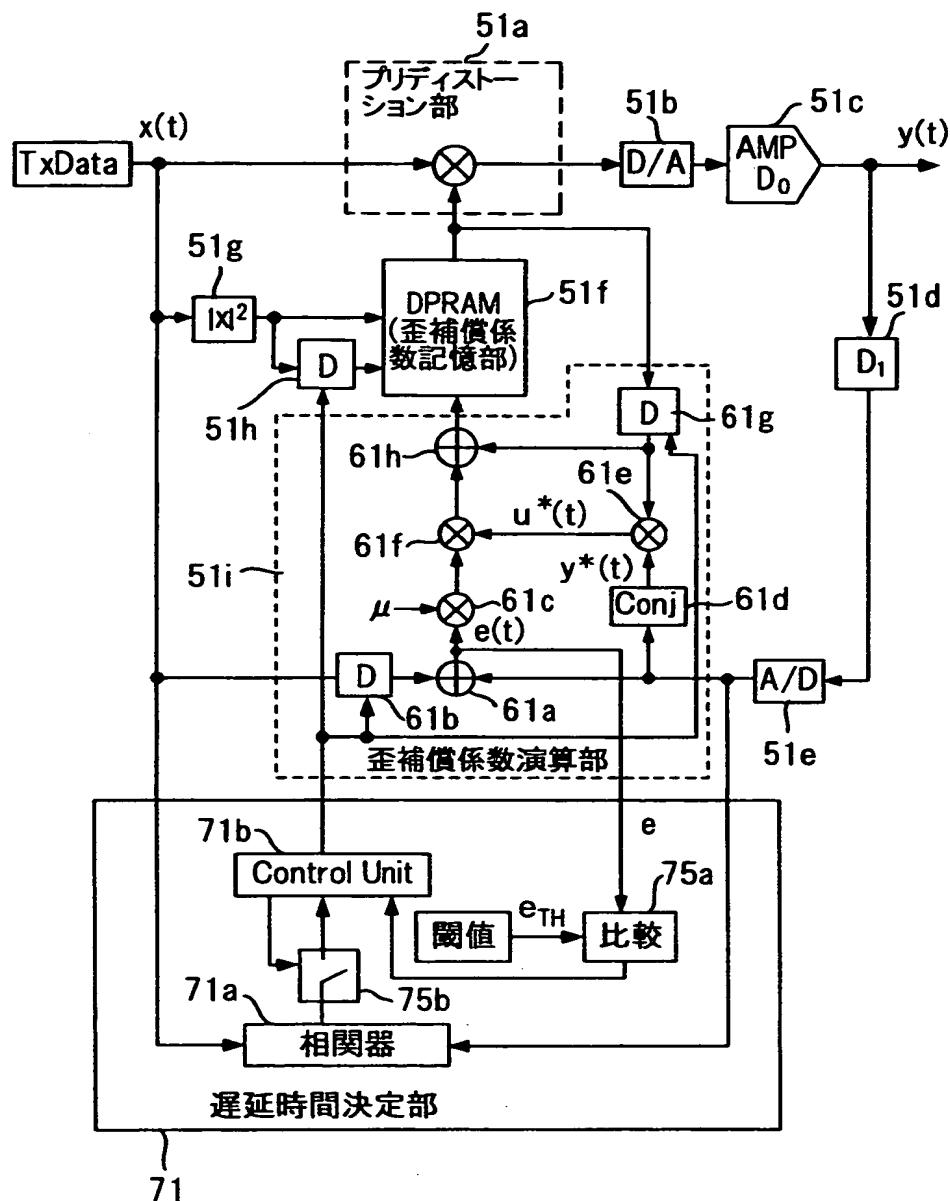
【図19】

遅延変化に対し追従する機能を有する歪補償装置の実施例



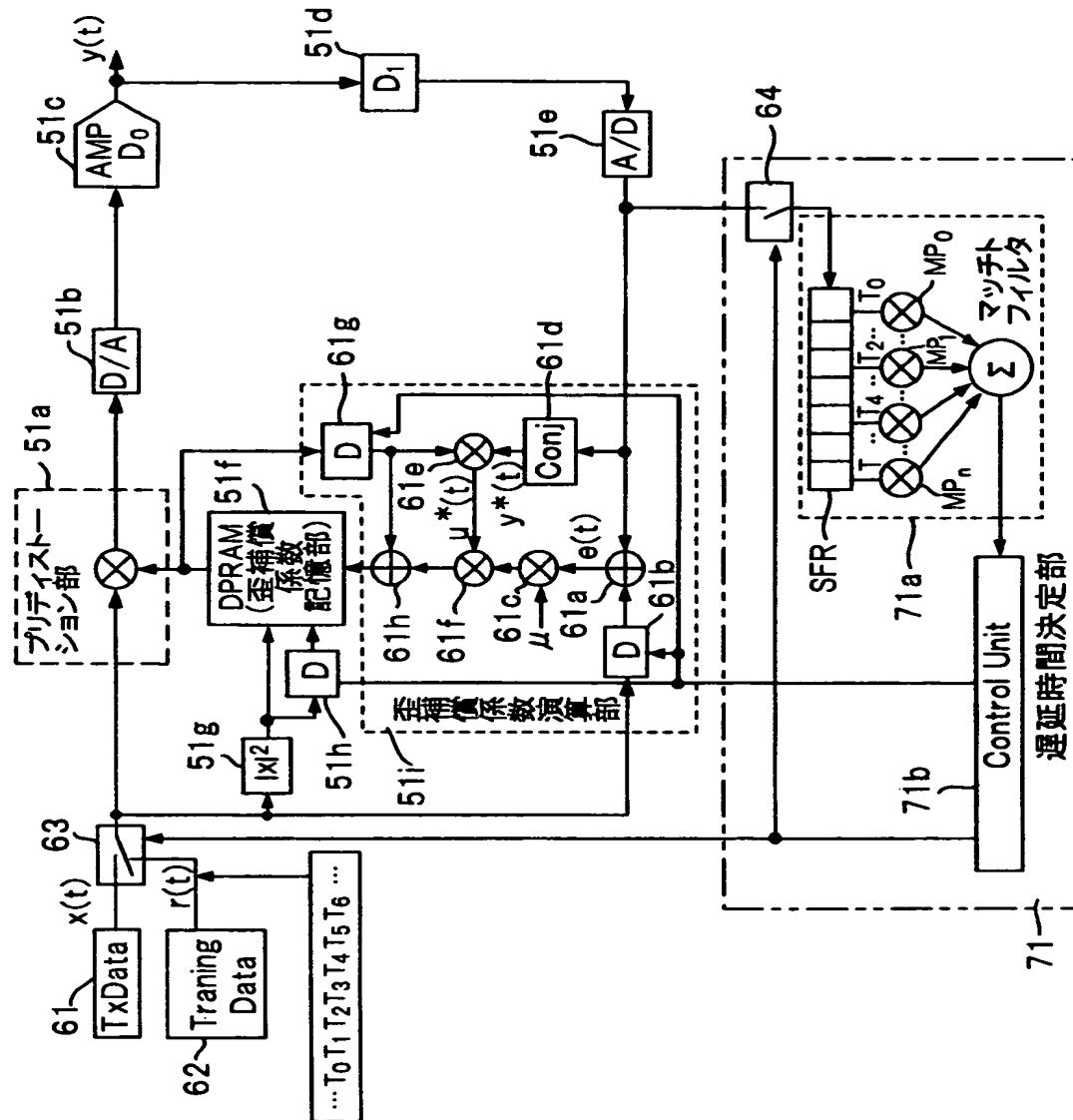
【図20】

誤差が閾値を越えた場合は遅延の再調整を行う歪補償装置の実施例



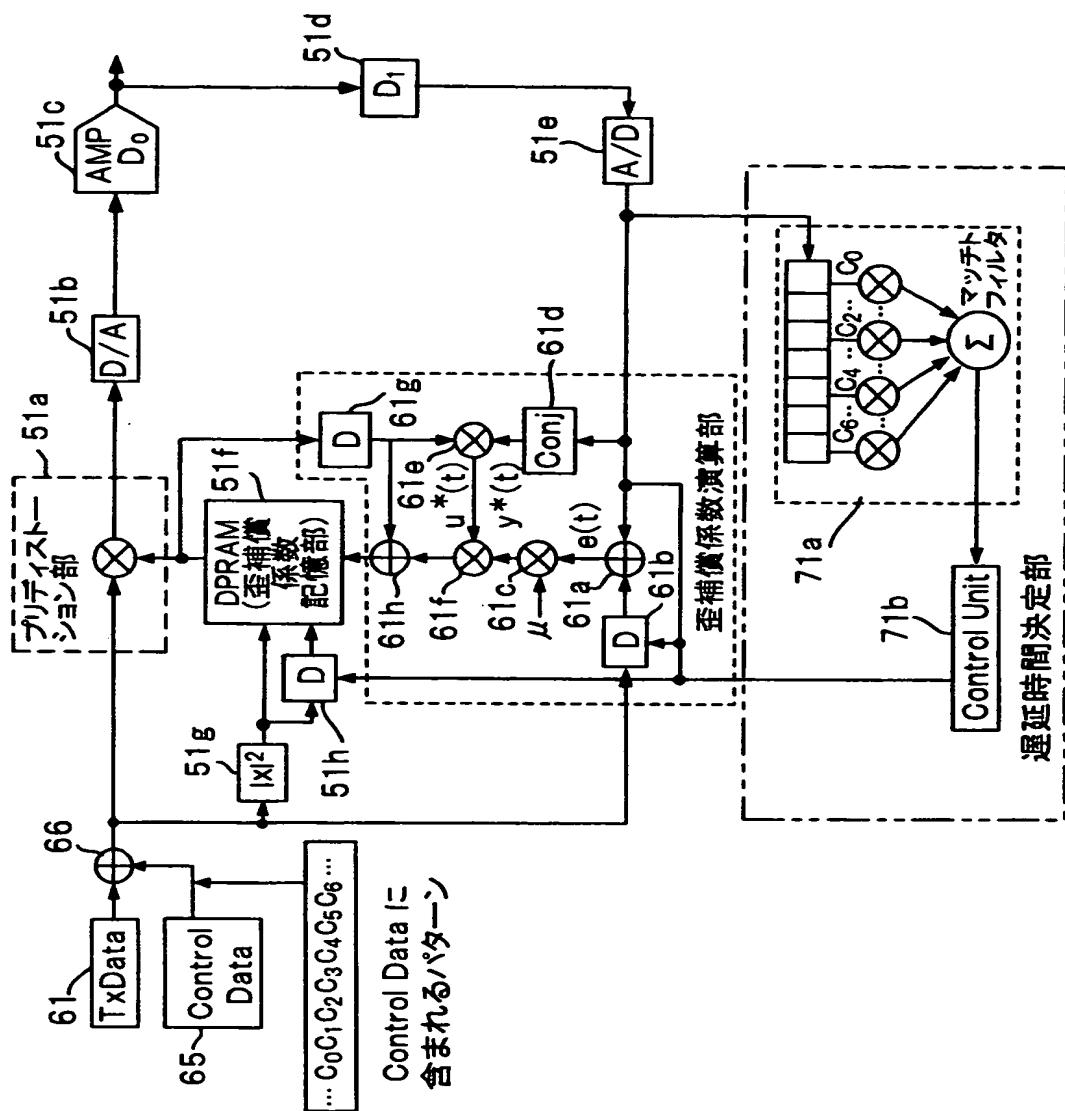
【図21】

学習信号を用いた遅延時間測定
及び遅延時間調整の実施例構成図



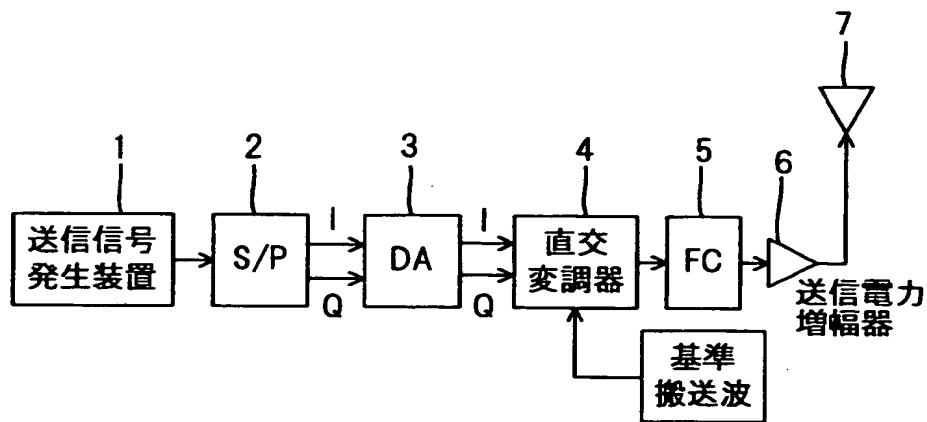
【図22】

CDMAで常時送信している信号を用いた遅延時間
測定及び遅延時間調整の実施例構成図



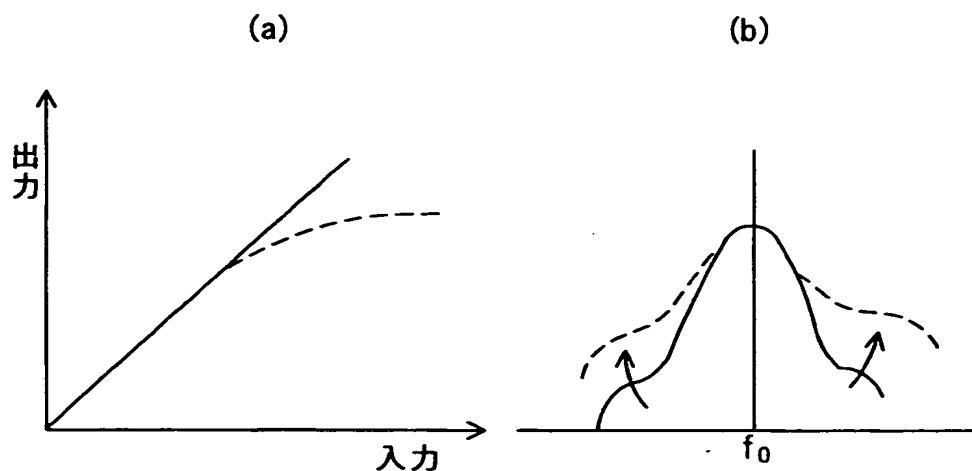
【図23】

従来の送信装置の構成



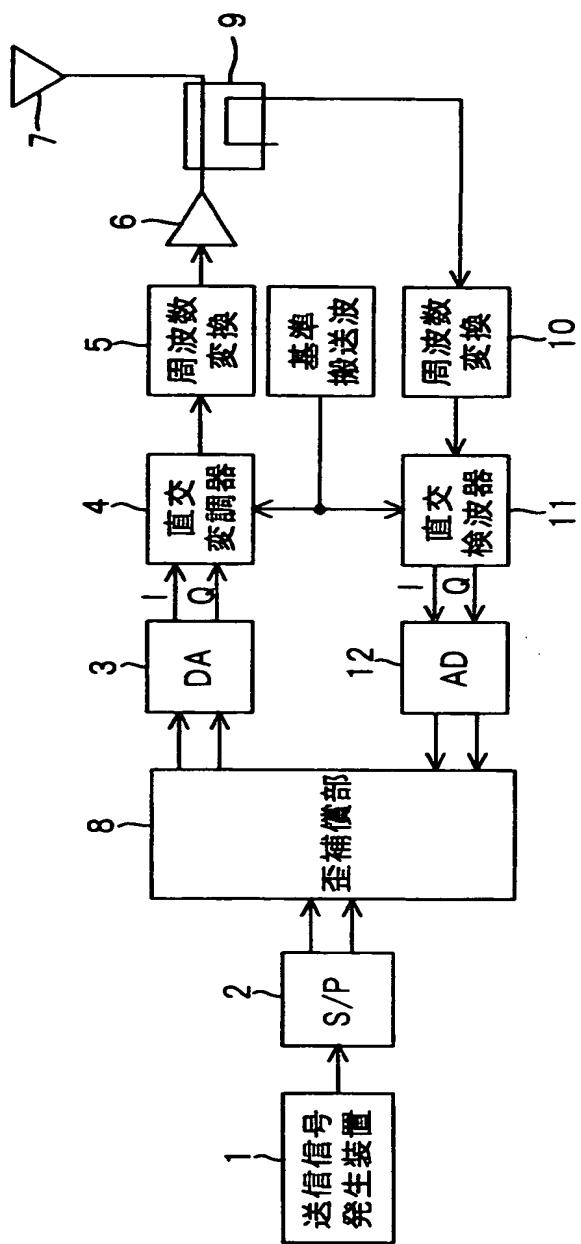
【図24】

送信電力増幅器の非直線性による問題点の説明図



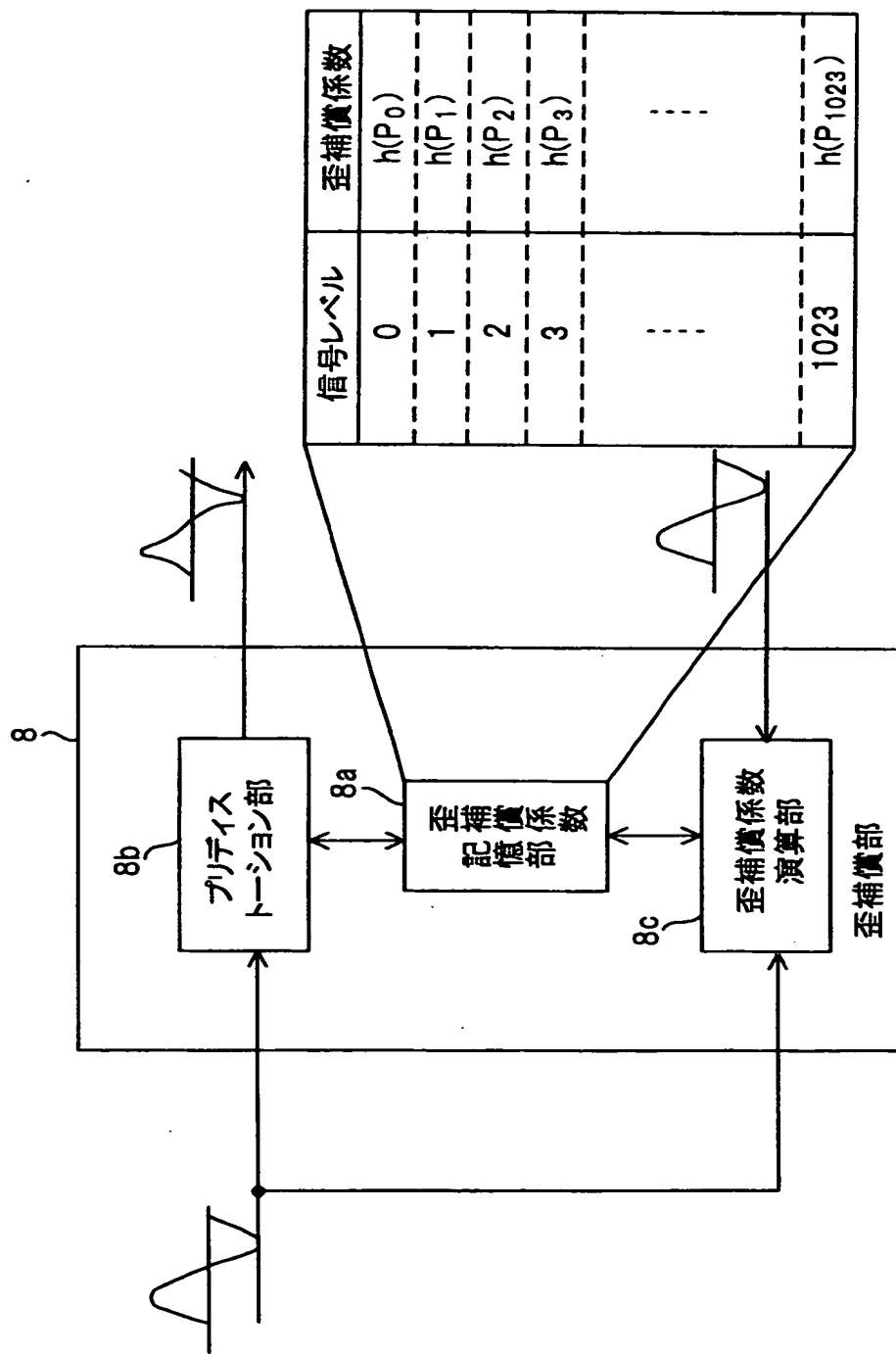
【図25】

従来のデジタル非線形歪補償機能を備えた送信装置の構成図



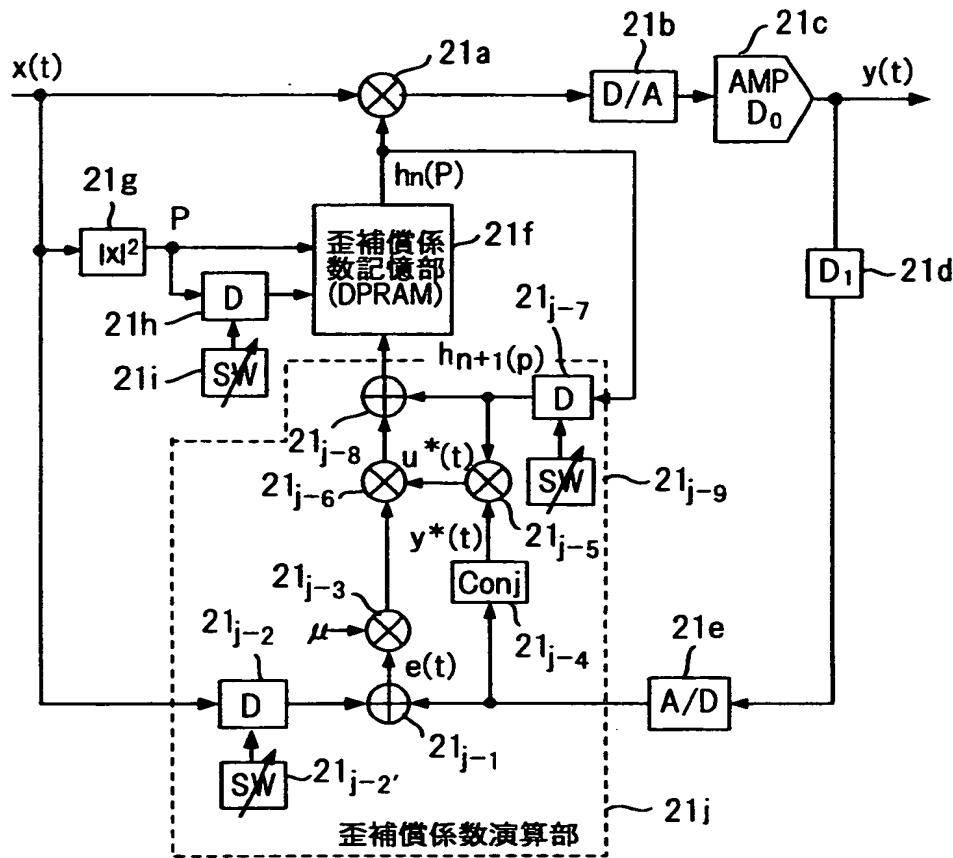
【図26】

補償部の機能構成図



【図27】

適応LMSアルゴリズムによる歪補償処理の説明図



【書類名】 要約書

【要約】

【課題】 自動的に遅延時間を測定し、該遅延時間を遅延回路に設定できるよう
にする。

【解決手段】 遅延時間決定部 71 は送信信号 $x(t)$ とフィードバック信号間の
位相を変化させながら相關値を演算し、その最大相関に基づいて歪デバイス（送
信電力増幅器）51c とフィードバックループ 51d 等で生じるトータルの遅延
時間を決定し、決定した遅延時間を歪補償装置の各タイミング合わせ用遅延回路
51h、61b、61g に設定する。

【選択図】 図 1

認定・付加情報

特許出願の番号 平成11年 特許願 第372884号
受付番号 59901280009
書類名 特許願
担当官 坪 政光 8844
作成日 平成12年 1月13日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005223
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】 富士通株式会社
【代理人】 申請人
【識別番号】 100084711
【住所又は居所】 千葉県千葉市花見川区幕張本郷1丁目14番10
号 幸栄パレス202 齋藤特許事務所
【氏名又は名称】 齋藤 千幹

次頁無

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社